

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

TSUKIDATE, et al.

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: September 2, 2003

Attorney Dkt. No.: 108066-00100

For: MEMORY CIRCUIT WITH REDUNDANT CONFIGURATION

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: September 2, 2003

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

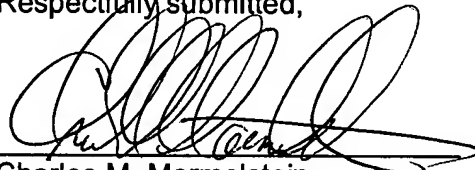
Foreign Application No. 2002-265065, filed September 11, 2002 in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM/cam

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月11日

出 願 番 号

Application Number:

特願2002-265065

[ST.10/C]:

[JP2002-265065]

出 願 人

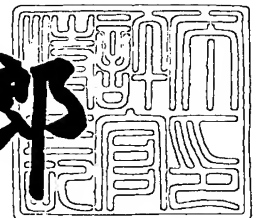
Applicant(s):

富士通株式会社

2003年 5月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3036587

【書類名】 特許願

【整理番号】 0241217

【提出日】 平成14年 9月11日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/603
G11C 16/00

【発明の名称】 冗長構成を有するメモリ回路

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 槻館 美弘

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 栗原 和弘

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 笠 靖

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 中井 努

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 アンディー チェン

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【選任した代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 冗長構成を有するメモリ回路

【特許請求の範囲】

【請求項 1】 複数のメモリセルを有するセクタを有するメモリ回路において

複数のレギュラーセクタとスペアセクタとをそれぞれ有する複数のブロックを有し、

前記複数のブロックのうち、第 1 のブロック内のレギュラーセクタが不良を有する場合、当該不良レギュラーセクタが第 2 のブロック内のスペアセクタに置き換えられ、

供給されるアドレスに応答して、第 1 の期間、前記第 1 のブロック内の供給アドレスに対応するレギュラーセクタと共に第 2 のブロック内のスペアセクタが同時に選択され、前記第 1 の期間の後、供給アドレスが冗長アドレスと一致するかどうかの冗長判定結果に応じて、前記同時選択されたレギュラーセクタまたはスペアセクタのいずれか一方の選択が維持され、他方の選択が終了することを特徴とするメモリ回路。

【請求項 2】 請求項 1 において、

前記各セクタは複数のワード線をそれぞれ有し、前記供給アドレスに응答して、前記第 1 のブロック内のレギュラーセクタと第 2 のブロック内のスペアセクタが同時に選択される時に、当該レギュラーセクタとスペアセクタ内のワード線が同時に選択されることを特徴とするメモリ回路。

【請求項 3】 請求項 2 において、

前記各セクタにはセクタ内のワード線を選択するワード線デコーダが設けられ

当該ワード線デコーダの入力信号が、少なくとも前記第 1 の期間において、第 1 及び第 2 のブロックに供給され、前記同時選択されるレギュラーセクタ内のワード線選択と、スペアセクタ内のワード線選択とが行われることを特徴とするメモリ回路。

【請求項 4】 請求項 2 において、

前記第 1 の期間において、前記同時選択されたワード線は、第 1 の電圧まで駆動され、前記第 1 の期間後において、選択が維持されたワード線は、前記第 1 の電圧より高い第 2 の電圧に駆動されることを特徴とするメモリ回路。

【請求項 5】請求項 1 において、

前記各ブロックには、ブロック内のビット線を選択する Y ゲート回路が設けられ、

前記 Y ゲートは、前記冗長判定結果が不一致の時は、第 1 のブロックのビット線を選択し、前記冗長判定結果が一致の時は、第 2 のブロックのビット線を選択することを特徴とするメモリ回路。

【請求項 6】請求項 5 において、

前記 Y ゲート回路に供給される Y ゲート選択信号が、前記第 1 の期間中に電源電圧レベルに駆動され、前記第 1 の期間後に前記電源電圧レベルより高い昇圧電源電圧レベルまで駆動され、

前記第 1 の期間が終了する前に冗長判定結果に従って、前記 Y ゲート選択信号の駆動が開始されることを特徴とするメモリ回路。

【請求項 7】請求項 1 において、

複数のブロック内のセクタを同時に選択する同時選択モードを有し、

前記冗長判定が一致状態の場合は、当該同時選択モードがディセーブルにされることを特徴とするメモリ回路。

【請求項 8】複数のメモリセルを有するメモリ回路において、

複数のレギュラーメモリセル領域とスペアメモリセル領域とをそれぞれ有する複数のブロックを有し、

前記複数のブロックのうち、第 1 のブロック内のレギュラーメモリセル領域が不良を有する場合、当該不良レギュラーメモリセル領域が第 2 のブロック内のスペアメモリセル領域に置き換えられ、

供給されるアドレスに応答して、第 1 の期間、前記第 1 のブロック内の供給アドレスに対応するレギュラーメモリセル領域と共に第 2 のブロック内のスペアメモリセル領域が同時に選択され、前記第 1 の期間の後、供給アドレスが冗長アドレスと一致するか否かの冗長判定結果に応じて、前記同時選択されたレギュラー

メモリセル領域またはスペアメモリセル領域のいずれか一方の選択が維持され、他方の選択が終了することを特徴とするメモリ回路。

【請求項 9】複数のレギュラーセクタとスペアセクタを有するメモリ回路において、

不良を有するレギュラーセクタのアドレスを記憶する冗長メモリと、

供給されたアドレスと前記冗長メモリ内のアドレスとを比較する冗長判定回路とを有し、

前記冗長判定回路が生成する冗長判定信号に応じて、前記レギュラーセクタまたはそれに置き換えられた前記スペアセクタのいずれかが選択され、

前記冗長判定回路は、第 1 の信号に応答して、前記冗長メモリ内のアドレスにかかわらず、前記冗長判定信号を一致状態にして前記スペアセクタへのアクセスを可能にすることを特徴とするメモリ回路。

【請求項 10】複数のレギュラーセクタとスペアセクタを有するメモリ回路において、

不良を有するレギュラーセクタのアドレスを記憶する冗長メモリと、

供給されたアドレスと前記冗長メモリ内のアドレスとを比較する冗長判定回路とを有し、

前記冗長判定回路が生成する冗長判定信号に応じて、前記レギュラーセクタまたはそれに置き換えられた前記スペアセクタのいずれかが選択され、

前記冗長判定回路は、第 2 の信号に応答して、前記冗長メモリ内のアドレスにかかわらず、前記冗長判定信号を不一致状態にして、前記スペアセクタに置き換えられたレギュラーセクタへのアクセスを可能にすることを特徴とするメモリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、冗長構成を有するメモリ回路に関し、特に、冗長判定によるアクセス速度の低下を防止したメモリ回路に関する。

【0002】

【従来の技術】

半導体メモリ装置は、大容量化に伴う微細化などの原因により発生する不良セルを救済するために冗長構成を有する。DRAM、SRAM、FeRAM、EEPROM（フラッシュメモリ）などの半導体メモリには、様々な冗長構成が採用されている。そのなかで、フラッシュメモリは、不良セルの救済方法として、ビット線の冗長構成を利用する。即ち、不良セルが属するビット線を、冗長セル側のビット線に置き換えて読み出す構成である。このようなメモリは、後述する特許文献1に記載されている。

【0003】

一方で、フラッシュメモリは、大容量化に伴って、ワード線や消去単位であるセクタの不良が歩留まり低下の大きな原因になりつつある。そこで、大容量のフラッシュメモリでは、ワード線の冗長構成やセクタの冗長構成が提案されている。フラッシュメモリは、あるメモリブロック内に複数のセクタを有する。かかる構成では、救済用のスペアセクタがメモリブロック内に設けられる。そして、供給アドレスと不良セクタのアドレス（以下冗長アドレス）とが一致するときは、通常セクタ（又はレギュラーセクタ）に代わってスペアセクタが選択される。

【0004】

【特許文献1】

特開2000-231795号公報（2000年8月22日公開）

【0005】

【発明が解決しようとする課題】

かかる冗長構成のメモリにおいて、アクセス速度の低下が問題になる。即ち、供給されるアドレスと冗長アドレスとを比較し、不一致であればレギュラーセクタのデータをそのまま読み出せば良いが、一致すればスペアセクタ側を選択してデータを読み出す必要がある。従って、冗長アドレスとの比較判定に要する時間だけ、スペアセクタ側の選択開始タイミングが遅れることになる。特に、冗長アドレスの判定が確定してから、スペアセクタ側のワード線を駆動する場合は、ビット線冗長構成に比較して、アクセス速度の低下が著しい。

【0006】

更に、不良救済用のスペアセクタを設けることに伴い、出荷試験において、スペアセクタの動作試験の必要がある。スペアセクタは、冗長アドレスを冗長メモリに書き込むことでアクセス可能になるが、冗長メモリへの書き込み前にスペアセクタの動作試験を行うことが望ましい。また、冗長アドレスを書き込んでスペアセクタに置き換えた後において、不良モード検証のために、救済されたレギュラーセクタの動作試験を行うことが必要になる。そのような場合、冗長アドレスを書き込んだ後であっても、置き換えられたレギュラーセクタの動作試験を行うことが必要になる。

【 0 0 0 7 】

そこで、本発明の目的は、冗長判定によるアクセス速度の低下を防止したメモリ回路を提供することにある。

【 0 0 0 8 】

また、本発明の別の目的は、冗長アドレスにかかわらず、スペアセクタ及び救済されたレギュラーセクタの動作試験を可能にするメモリ回路を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、複数のレギュラーセクタとスペアセクタを有するブロックを複数有するメモリ回路において、各セクタは複数のメモリセルを有し、第1のブロック内のレギュラーセクタが不良を有する場合、当該不良レギュラーセクタが第2のブロック内のスペアセクタに置き換えられることを特徴とする。そして、供給されるアドレスに応答して、第1の期間、第1のブロック内の選択アドレスに対応するレギュラーセクタと共に第2のブロック内のスペアセクタが同時に選択され、第1の期間の後、供給アドレスが冗長アドレスと一致するか否かの冗長判定結果に応じて、レギュラーセクタまたはスペアセクタのいずれか一方の選択が維持される。

【 0 0 1 0 】

上記の発明の側面によれば、供給アドレスが不良セクタを示す冗長アドレスと一致するか否かの冗長判定結果にかかわらず、アクセス動作が開始される第1の

期間、第1のブロック内のレギュラーセクタとそれと対になる第2のブロック内のスペアセクタとを同時選択状態にするので、冗長判定動作に伴うアクセス速度の低下を抑えることができる。

【0011】

上記の発明の側面において、より好ましい実施例では、各セクタは複数のワード線をそれぞれ有し、供給アドレスに応答して、第1のブロック内のレギュラーセクタと第2のブロック内のスペアセクタが同時に選択される時に、当該レギュラーセクタとスペアセクタ内のワード線が選択されることを特徴とする。

【0012】

更に、上記の発明の側面において、好ましい実施例では、第1の期間において、同時選択されたワード線は電源電圧レベルまで駆動され、第1の期間終了後において、冗長判定結果に応じて選択されるワード線が、電源電圧より高い昇圧電源電圧レベルまで駆動される。また、非選択となったワード線は、グランドレベルに低下する。

【0013】

更に、上記の発明の側面において、好ましい実施例では、各セクタにはセクタ内のワード線を選択するワード線デコーダが設けられ、前記ワード線デコーダの入力信号が、第1及び第2のブロックに供給されることを特徴とする。即ち、供給アドレスで選択される第1のブロックと、その第1のブロックと対を構成する第2のブロックにもワード線デコーダの入力信号が供給される。これにより、同時選択されるレギュラーセクタ内のワード線デコーダによるワード線選択と、スペアセクタ内のワード線デコーダによるワード線選択とが可能になる。

【0014】

更に、好ましい実施例では、各ブロックにはブロック内のビット線を選択するYゲート回路が設けられ、冗長判定結果が不一致の時は第1のブロックのビット線が選択され、冗長判定結果が一致の時は第2のブロックのビット線が選択されることを特徴とする。そして、好ましくは、第1の期間中にレギュラーセクタとスペアセクタとが同時選択されている間は、上記両ビット線が同時に選択されることはない。こうすることで、両ビット線が共通のデータバス線を介して競合す

ることが防止される。

【 0 0 1 5 】

上記の実施例において、好ましくは、Yゲート回路に供給されるYゲート選択信号が、前記第1の期間が終了する前に冗長判定結果に従って駆動開始される。冗長判定回路による冗長判定結果のタイミングにバラツキがあることに伴い第1の期間を設けてレギュラーセクタとそのスペアセクタの同時選択を行っている。それに伴って、Yゲートの選択は、第1または第2のブロックのいずれか一方で行われる。従って、冗長判定結果によっては、Yゲートの選択が切り替わることになる。このYゲートの選択の切り替わりによりYゲート選択信号に電源を共有する昇圧電源レベルが低下する。好ましい実施例では、Yゲート選択信号を第1の期間が終了する前から駆動することにより、Yゲート選択信号の電源を供給しているコラム昇圧電源の回復が遅れるのを防止することができる。

【 0 0 1 6 】

上記の発明の側面において、スペアセクタへの置き換えが行われていない場合は、複数のブロック内のセクタが同時に消去動作対象となり、当該複数のブロック内のスペアセクタへの置き換えが行われている場合は、当該同時消去動作が禁止されることを特徴とする。スペアセクタへの置き換えが行われている場合は、同じブロック内にレギュラーセクタと、他のブロック内の不良レギュラーセクタに置き換えられるスペアセクタとが消去動作対象になるので、その場合は同時消去動作を禁止する。

【 0 0 1 7 】

上記の目的を達成するために、本発明の別の側面によれば、複数のレギュラーセクタとスペアセクタを有するメモリ回路において、不良を有するレギュラーセクタのアドレスを記憶する冗長メモリと、供給されたアドレスと冗長メモリ内のアドレスとを比較する冗長判定回路とを有し、冗長判定回路が生成する冗長判定信号に応じて、レギュラーセクタまたはそれに置き換えられたスペアセクタのいずれかが選択される。そして、冗長判定回路は、第1の信号に応答して、冗長メモリ内のアドレスにかかわらず、冗長判定信号を一致状態にしてスペアセクタへのアクセスを可能にすることを特徴とする。

【 0 0 1 8 】

更に、上記の目的を達成するために、本発明の別の側面によれば、複数のレギュラーセクタとスペアセクタを有するメモリ回路において、不良を有するレギュラーセクタのアドレスを記憶する冗長メモリと、供給されたアドレスと冗長メモリ内のアドレスとを比較する冗長判定回路とを有し、冗長判定回路が生成する冗長判定信号に応じて、レギュラーセクタまたはそれに置き換えられたスペアセクタのいずれかが選択される。そして、冗長判定回路は、第2の信号に応答して、冗長メモリ内のアドレスにかかわらず、冗長判定信号を不一致状態にして、スペアセクタに置き換えられたレギュラーセクタへのアクセスを可能にすることを特徴とする。

【 0 0 1 9 】

上記2つの側面によれば、冗長メモリに冗長アドレスを書き込む前であっても、スペアセクタへのアクセスが可能になり、スペアセクタの試験を行うことができる。更に、冗長メモリに冗長アドレスを書き込んだ後であっても、スペアセクタに置き換えられたレギュラーセクタへのアクセスが可能になり、不良と判定されたレギュラーセクタの試験を行うことができる。

【 0 0 2 0 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。尚、本発明は必ずしもフラッシュメモリに限定されるものではないが、以下の実施の形態では、フラッシュメモリを例にして説明する。

【 0 0 2 1 】

図1は、本実施の形態におけるフラッシュメモリの全体構成図である。このフラッシュメモリには、アドレスA0-A23が供給され、そのうちアドレスA0-A6がコラム選択アドレス、アドレスA7-A14がワード線選択アドレス、アドレスA15-A23がセクタ選択アドレスとなる。各アドレスは、それぞれのアドレスバッファ10, 11, 12に入力され、それぞれコラム選択アドレスYAD(6:0)、ワード線

選択アドレスXAD(14:7)、セクタ選択アドレスZAD(23:15)として、内部回路に供給される。

【 0 0 2 2 】

尚、各信号において、qはクワッド単位の信号を、vはバーティカルブロック単位の信号をそれぞれ示す。また、Qはクワッド関連の信号を、Vはバーティカルブロック関連の信号を、XはXデコーダ関連の信号をそれぞれ示す。そして、明細書内ではしばしばq、vは省略して表記することもある。

【 0 0 2 3 】

メモリセルアレイは、セクタ単位に分割されている。そして、複数のレギュラーセクタと不良救済用のスペアセクタとを有するバーティカルブロックVblock0-3に分けられている。更に、メモリセルアレイは、それぞれ4つのバーティカルブロックを有する4つのクワッドブロックQuad0-3に分けられている。本例では、バーティカルブロック内には、図示されていないが、32個のレギュラーセクタと1個のスペアセクタが設けられ、セクタ内のセルアレイは、256本のワード線と128本のビット線とが設けられ、その交差位置にメモリセルトランジスタが設けられる。各セクタは256本のワード線を有し、バーティカルブロック内の各セクタは、128本のメインビット線を共通に有する。

【 0 0 2 4 】

レギュラーセクタ及びそのレギュラーセクタ内のワード線は、バーティカルブロックの左右に配置されるXデコーダXdec0-4により選択され、スペアセクタ及びそのスペアセクタ内のワード線は、同じく左右に配置されるスペア用XデコーダXdecにより選択される。そのために、ローカルXデコーダが、セクタ選択用及びワード線選択用のプリデコード信号を必要なXデコーダに供給する。また、各バーティカルブロックVblock0-3内のビット線は、各バーティカルブロックに設けられたYゲートY-Gateにより選択される。それに伴い、YデコーダY-DecがYゲートの選択信号をYゲートY-Gateに供給する。

【 0 0 2 5 】

各YゲートY-Gateは、データバスDATABnを介して、センスアンプ18に接続され、更に、データ出力バッファ17を介して、入出力端子I/Onに接続される。ま

た、入出力端子I/Onは、データ入力バッファ15及びレベルシフト回路16を介して、データバスDATABnに接続される。

【0026】

セクタ選択アドレスZAD(23:15)から、4つのクワッド選択信号QSELと、4つのパーティカルブロック選択信号VSELとが、それぞれの選択信号生成回路vsel、qselにより生成される。また、パーティカルブロックの両側に設けられる5つのXデコーダX-dec0-4を選択する5つのXデコーダ選択信号XSELも、セクタ選択アドレスにもとづいて選択信号生成回路xselにより生成される。4つのクワッド選択信号QSELは各クワッドブロックQuad0-3に供給される。また、パーティカルブロック選択信号VSELとXデコーダ選択信号XSELは、各クワッド内に設けられた対応するバッファ回路vsel-buffer、xsel-bufferにて、クワッド選択信号QSELにもとづいてデコードされ、各クワッド内にて4つのパーティカルブロック選択信号VSELqvと5つのXデコーダ選択信号XSELqxになる。これらの選択信号VSELqv、XSELqxを利用して、Xデコーダ回路へのプリデコード信号等の分配が行われる。これについては、後に詳述する。

【0027】

メモリ回路は、ワード線昇圧電源VB00ST-WLGとコラム昇圧電源VB00ST-CSGとを生成する昇圧回路13を有する。これらの昇圧電源は、各クワッド内のワード線昇圧電源分配回路vwl-muxと、コラム昇圧電源分配回路vcs-muxとにおいて、クワッド選択信号QSELにより選択される。そして、それらの選択された昇圧電源VB00ST-WLq、VB00ST-CSqは、各Xデコーダ回路毎に設けられている昇圧電源分配回路vpx-muxにより、Xデコーダ選択信号XSELqxに応じて、対応するXデコーダに分配される。更に、コラム昇圧電源VB00ST-CSqは、YデコーダY-decにも供給され、Yゲートの選択信号の昇圧に利用される。また、メモリ回路は、消去時に利用されるワード線降圧電源NEPGPを生成する降圧回路14を有する。

【0028】

更に、メモリ回路は、パーティカルブロック内の不良を有するレギュラーセクタを、スペアセクタに置き換えて救済する機能を有する。その為に、不良レギュラーセクタのアドレス（以下冗長アドレスと称する。）を記憶し、供給されたセ

クタアドレスZAD(23:15)と比較する冗長判定回路REDXを有する。この冗長判定回路REDXは、冗長判定信号REDXFBと、バーティカルブロック冗長判定信号REDX(1:0)とを生成し、Xデコード選択信号生成回路xselやローカルXデコーダLocal-X-decなどに供給する。

【 0 0 2 9 】

図2は、バーティカルブロックと左右のXデコーダの詳細回路図である。図2には、バーティカルブロックVBlock0と左右のXデコーダX-dec0,1が示され、更に、それらXデコーダに供給されるプリデコード信号と昇圧電源配線が示される。また、バーティカルブロック内には、1つのレギュラーセクタR-secと、1つのスペアセクタS-secとが示され、それらのセクタ内には、レギュラー内ワード線WLmL, WLmR、スペア内ワード線WLRkL, WLRkRと、メインビット線MBLqvにセレクトトランジスタを介して接続されたレギュラーセクタ内のサブビット線DBLm、スペアセクタ内のサブビット線DBLkRと、それらの交差位置に配置されたセルトランジスタとが含まれる。メインビット線MBLqvは、バーティカルブロック内を縦断するように配置され、YゲートY-Gateに接続されている。

【 0 0 3 0 】

バーティカルブロックの両側にXデコーダが設けられ、レギュラーセクタR-secの両側にはレギュラー用Xデコーダxdecが、スペアセクタS-secの両側にはセクタ用Xデコーダspare-xdecがそれぞれ設けられている。左側のレギュラー用Xデコーダxdecは、ワード線デコーダ20と、セレクトトランジスタを選択するセクタセレクトデコーダ21と、セクタを選択するセクタデコーダ22と、ワード線昇圧電源を転送する昇圧電源スイッチ回路VPX-SWITCHとを有する。左側のスペア用Xデコーダも同じである。また、右側のレギュラー用Xデコーダは、ワード線デコーダ20と、セクタデコーダ22と、昇圧電源スイッチ回路VPX-SWITCHとを有し、セクタセレクトデコーダはない。右側のスペア用Xデコーダも同じである。

【 0 0 3 1 】

レギュラーセクタ側のセクタデコーダ22は、セクタデコード信号Z1, Z2とレギュラーセクタディセーブル信号DISZBを入力し、レギュラーセクタディセ

ーブル信号DISZBがディセーブル状態の時に、プリデコード信号Z1, Z2をデコードし、そのセクタが選択されれば、対応するワード線デコーダ20、セクタセレクトデコーダ21、昇圧電源スイッチ回路VPX-SWITCHをイネーブル状態（活性化状態）にし、セクタが非選択であれば、それらをディセーブル状態（非活性化状態）にする。一方、スペアセクタ側のセクタデコーダ22は、スペアセクタイネーブル信号ZREDがイネーブル状態の時に、スペアセクタ選択状態となり、対応するワード線デコーダ20、セクタセレクトデコーダ21、昇圧電源スイッチ回路VPX-SWITCHをイネーブル状態にする。

【 0 0 3 2 】

また、セクタセレクトデコーダ21は、4組のセレクトスイッチ選択信号SELRを選択して、4組のサブビット線DBLをメインビット線MBLに接続する。セクタセレクトデコーダ21には、セレクト用デコード信号SELGと昇圧電源VPSGとが供給される。更に、ワードデコーダ20は、ワード線デコード信号XT,Z0,VXTと、昇圧電源VPXGとが供給される。

【 0 0 3 3 】

一方、YゲートY-Gateは、コラムスイッチ信号CSqにより制御されるコラムスイッチ群24と、メインビット線MBLをグランド電位か、プリチャージバス線DATAPqか、データバス線DATABnかに接続するスイッチ群25, 26, 27とを有する。このスイッチ群は、コラムスイッチ群24により選択される3本のメインビット線MBLを上記3つの状態に接続するために、3組設けられる。

【 0 0 3 4 】

従って、選択されたセルトランジスタは、一方のサブビット線がグランド電位になり、他方のサブビット線が、メインビット線を介してデータバス線DATABnに接続される。データバス線は、図1に示したとおり、センスアンプと入出力回路に接続される。また、選択セルトランジスタに隣接する隣接セルトランジスタのサブビット線は、プリチャージレベルに維持され、センスアンプに選択されたメインビット線にその隣接セルトランジスタがセル電流を供給しないようにしている。即ち、セルトランジスタの両側にビット線が設けられたバーチャルビット線方式のセルアレイになっている。

【 0 0 3 5 】

尚、セルトランジスタは、フローティングゲートまたはトラップゲートを有し、電荷を注入することにより、閾値電圧が変化することを利用して、データの記憶を行う。また、ワード線を負電位にし、ビット線を正電位にして、その電荷を消失させてデータの消去を行う。

【 0 0 3 6 】

図 3 は、1つのパーティカルブロックとその両側の X デコーダを示すブロック図である。図 3 には、各デコーダとそれに供給されるプリデコード信号とが示される。つまり、図 3 によれば、X デコーダ内のワード線デコーダ 2 0 と、セクタセレクトデコーダ 2 1 と、セクタデコーダ 2 2 にどのようなプリデコード信号や昇圧電源が供給されるかが理解される。また、図 3 には、Y ゲートへの選択信号を供給する Y デコーダ Y-dec とそれに供給されるプリデコード信号が示される。また、セクタセレクトデコーダ 2 1 へのデコード信号 SELG が、Y デコーダから供給されることが理解される。

【 0 0 3 7 】

さて、X デコーダに供給される各種プリデコード信号は、省電力化の要請から、必要な X デコーダにしか供給されない。また、昇圧回路の能力を抑えるために、昇圧電源も必要な X デコーダや Y デコーダにしか供給されない。そのために、これらのプリデコード信号は、クワッド選択信号 QSEL、パーティカルブロック選択信号 VSEL、X デコーダ選択信号 XSEL などに従って、ローカル X デコーダ、Y デコーダや昇圧電源分配回路 vpx-mux など で分配される。それらの分配については、後述する。そして、パーティカルブロック内では、セクタデコーダ 2 2 により選択されたセクタにおいて、ワード線デコーダ 2 0 によりセクタ内のワード線が選択され、セクタセレクトデコーダ 2 1 によりセレクト選択信号が生成される。ワード線は両側のワード線デコーダ 2 0 により選択される。それに伴い、セクタデコーダ 2 2 も両側に配置される。

【 0 0 3 8 】

図 4, 5, 6 は、本実施の形態における第 1 の特徴であるセクタ選択動作を模式的に示す図である。これらの図に沿ってセクタ選択動作の概略を説明する。そ

の後、その具体的な実施例を詳細に説明する。図 4, 5, 6 には、1 対のパーティカルブロック Vblock0,1 とその両側のデコーダ群と Y ゲートなどが示される。そして、活性化若しくはイネーブルされるデコーダ回路などを太線の枠で示している。アドレスが供給された直後の第 1 の期間の動作が図 4 に示され、第 1 の期間後の動作が図 5, 6 に示される。

【 0 0 3 9 】

第 1 に、図 4 に示されるように、パーティカルブロック Vblock1 内の不良セルを有するレギュラーセクタは、そのパーティカルブロック Vblock1 と対の関係にある隣接パーティカルブロック Vblock0 内のスペアセクタに置き換えられる。逆に、図示しないが、パーティカルブロック Vblock0 内の不良レギュラーセクタは、隣接するパーティカルブロック Vblock1 内のスペアセクタに置き換えられる。

【 0 0 4 0 】

第 2 に、このようなスペアセクタへの置き換えを行った結果、リード動作では、アドレスの応答して、一定の期間だけ、選択されるレギュラーセクタと、それに置き換えられる可能性のあるスペアセクタとを同時選択することができる。この状態が図 4 に示される。その後、冗長判定結果に応じて、いずれかのセクタの選択を維持または終了する。この状態が図 5, 6 に示される。これにより、冗長判定動作に伴うリードアクセス速度が遅くなることは回避される。

【 0 0 4 1 】

まず、図 4 に示されるように、新たなアドレスが供給されると、一定期間の間、供給アドレスで選択されるパーティカルブロック Vblock1 内のレギュラーセクタのワード線 WLmL と、そのセクタのパーティカルブロックと対の関係にある隣接するパーティカルブロック Vblock0 内のスペアセクタのワード線 WLRkL とが同時に駆動される。そのために、パーティカルブロック Vblock1 では、セクタデコーダ 22 がイネーブル状態にあり、対応するレギュラーセクタを選択し、それに伴い選択されたセクタのセクタセレクトデコーダ 21 とワード線デコーダ 20 とがイネーブル状態になる。また、パーティカルブロック Vblock0 では、スペア側のセクタデコーダがイネーブル状態になりスペアセクタを選択し、それに伴い対応するセクタセレクトデコーダとワード線デコーダとがイネーブル状態になる。

【 0 0 4 2 】

この一定期間の間で、いずれかのYゲートが選択状態になる。図4の例では、レギュラー側のYゲートが選択状態になっている。

【 0 0 4 3 】

次に、上記一定期間を経過すると、冗長判定結果に応じて、レギュラーセクタかスペアセクタかの一方のセクタでのワード線選択状態が維持され、他方のセクタでのワード線選択状態は終了する。図5は、冗長判定結果が一致の場合を示し、スペアセクタ側のワード線WLRkLの選択状態が維持され、スペアセクタ内のメモリセルS-MCが、メインビット線MBLとYゲートY-Gateを介して、センスアンプに接続される。その時、レギュラーセクタ側のワード線の選択状態は終了する。また、バーティカルブロックVblock0側のYゲートが、冗長判定結果により選択状態になっている。

【 0 0 4 4 】

また、図6は、冗長判定結果が不一致の場合を示し、レギュラーセクタ側のワード線WLmLの選択状態が維持され、そのメモリセルR-MCがメインビット線MBLとYゲートY-Gateを介して、センスアンプに接続される。その時、スペアセクタ側のワード線の選択状態は終了する。

【 0 0 4 5 】

従来の動作では、供給アドレスに応答して、レギュラーセクタ側のワード線駆動し、冗長判定で一致状態が検出された後に同じバーチャルブロック内のスペアセクタを選択して、レギュラーセクタをディセーブルする。これに対して、上記の同時選択動作を可能にするために、本実施の形態では、第1にワード線デコーダ信号とセクタセレクトゲートのプリデコード信号を、供給アドレスに対応する第1のバーチャルブロックVblock1のXデコーダに加えて、それと対をなす第2のバーチャルブロックVblock0のXデコーダにも供給する必要がある。第2に、対をなす第2のバーチャルブロックVblock0のスペアセクタイネーブル信号ZREDを一時的にイネーブル状態にする必要がある。そして、冗長判定で一致状態が判定されると、選択対象ブロックを第1のバーチャルブロックVblock1から第2のバーチャルブロックVblock0に変更する必要がある。この選択バーチャルブロッ

クを変更することにより、必要な昇圧電源の供給を切り換えることができ、従来の動作のままでそのスペアセクタを選択することができる。上記の変更点を考慮して、具体的な構成について説明する。

【 0 0 4 6 】

図 7 は、パーティカルブロック選択信号バッファ回路を示す図である。クワッド選択信号生成回路 $qsel$ は、セクタ選択アドレス $ZAD(22:23)$ から、4 本のクワッド選択信号 $QSEL$ を生成し、パーティカルブロック選択信号生成回路 $vsel$ は、セクタ選択アドレス $ZAD(15:16)$ から 4 本のパーティカルブロック選択信号 $VSEL$ を生成する。そして、各クワッドブロック内に設けられたパーティカルブロック選択信号バッファ回路 $vsel-buffer$ は、それらの選択信号 $QSEL, VSEL$ の組合せから、4 本のパーティカルブロック選択信号 $VSEL_{qv}$ を生成する。

【 0 0 4 7 】

但し、このバッファ回路には、後述する冗長判定信号 $REDXFB$ が供給され、冗長判定結果が一致状態になったとき、1 対のパーティカルブロックの選択を入れ替える。例えば、図 4 - 6 の例で言えば、アドレスで選択されたパーティカルブロック $Vblock0$ の選択状態を、それと対をなす第 2 のパーティカルブロック $Vblock1$ の選択状態に変更する。従って、パーティカルブロック選択信号 $VSEL_{qv}$ は、冗長判定結果を反映した選択信号である。この選択信号 $VSEL_{qv}$ を利用することにより、スペアセクタへの切換に必要な動作を可能にすることができる。具体的には後述するとおりである。

【 0 0 4 8 】

また、パーティカルブロック選択回路 $vsel$ は、フラッシュメモリのステートマシンから生成される同時消去モード信号 $FCERB$ に応答して、アドレス $ZAD(15:16)$ が (1,1) の時に、4 つのパーティカルブロック選択信号 $VSEL$ を全て選択状態にする。これにより、4 つのパーティカルブロックのセクタを同時に消去可能にできる。図 1 の例でいえば、横方向に並ぶ 4 つのセクタ 0-3 が同時に選択されて、4 セクタ同時消去を行うことができる。アドレス $ZAD(15:16)$ は、(1,1) から (0,0) までを順に変化するので、(1,1) の時に 4 セクタが同時消去され、(1,0) ~ (0,0) では単純にベリファイをパスするだけで終了する。それにより、消去時間を短縮す

ることができる。

【0049】

但し、本実施の形態では、レギュラーセクタに不良があると、隣のパーティカルブロック内のスペアセクタに置き換えられる。従って、横方向に並ぶ4つのセクタへの同時消去はできなくなる。従って、4つのパーティカルブロックのいずれかで冗長アドレスが一致した場合は、上記の4セクタ同時消去モードを禁止する必要がある。そのために、後述する冗長回路から生成される同時消去モードディセーブル信号DISFCERBが、選択信号生成回路vselに供給される。

【0050】

図8は、アドレス遷移検出回路とその動作タイミングチャートを示す図である。アドレス遷移検出回路ATD-genは、アドレスXAD,YAD,ZADの変化を検出して、所定パルス幅のアドレス遷移検出信号ATDを生成する。このアドレス遷移検出信号ATDがLレベルになった時点で、ワード線昇圧電源VBOOST-WLGとコラム昇圧電源VBOOST-CSGを電源電圧Vccより高い電圧に昇圧（ブースト）する。また、アドレス遷移検出回路ATD-genは、アドレス遷移検出信号ATDよりパルス幅が短い第2のアドレス遷移検出信号ATDPREも生成する。この第2のアドレス遷移検出信号は、図8に記載されるとおり、そのHレベルの期間中、冗長判定信号REDXFBを強制的に一致状態（Lレベル）にし、そのHレベル期間が終了した後は、冗長判定信号を本来の判定結果に従う状態にする。これにより、Hレベル期間中のスペアセクタの選択を可能にする。この動作は、後述する冗長判定回路でより明白になる。

【0051】

図9は、冗長判定回路を示す図である。冗長メモリ及び比較回路30は、各パーティカルブロックの不良セクタアドレスを記憶する冗長メモリと、その不良セクタアドレスが有効か否かを示すメモリと、記憶されている不良セクタアドレスと供給されるセクタ選択アドレスとを比較する比較回路とを有する。冗長メモリは、メモリセルと同じ不揮発性メモリが使用される。

【0052】

冗長判定回路REDXは、選択されたパーティカルブロックの不良セクタアドレスと供給されたセクタアドレスZADとが一致した時に生成される冗長判定信号REXFB

(一致でLレベル)と、パーティカルブロックVblock0,2の不良セクタアドレスと供給セクタアドレスとが一致した時に生成されるパーティカルブロック冗長判定信号REDX(0)(一致でHレベル)と、パーティカルブロックVblock1,3の不良セクタアドレスと供給セクタアドレスとが一致した時に生成されるパーティカルブロック冗長判定信号REDX(1)(一致でHレベル)と、いずれかのパーティカルブロックで不良セクタアドレスと供給セクタアドレスとが一致した時に生成される同時消去モードディセーブル信号DISFCERB(一致でLレベル)とを生成する。

【0053】

更に、冗長判定信号REDXFBとREDX(0)(1)とが、NORゲート31, 32を介して、第2のアドレス遷移検出信号ATDPRE(=Hレベル)により、強制的にREDXFB=L(一致状態)及びREDX(0)(1)=L(不一致状態)にされる。つまり、アドレス遷移が発生した時に、冗長判定信号REDXFBは一致状態に偽装されるのである。これを利用して、後述するとおり、隣接する第2のパーティカルブロック内のスペアセクタをイネーブルすることができる。

【0054】

図10は、ローカルXデコーダの構成図、図11は、昇圧電源分配回路の構成図である。これらの回路により、Xデコーダに供給するプリデコード信号やイネーブル信号、そして、昇圧電源が必要な位置に分配されて、ワード線の同時選択と、冗長判定が一致状態の時のパーティカルブロックの選択切換を可能にしている。

【0055】

ローカルXデコーダ19(1)は、ワード線デコーダへ供給されるプリデコード信号Z0,XT,VXTを分配する回路であり、図中Xプリデコーダ機能も含めて示されている。つまり、ワード線選択アドレスXAD(14:8)のプリデコード信号は、クワッドブロック内の4つのパーティカルブロックの左側2つのブロックVblock0,1と右側2つのブロックVblock2,3とを区別するアドレスAD(16)により、左側2つのブロックVblock0,1のXデコーダに分配される信号群と、右側2つのブロックVblock2,3のXデコーダに分配される信号群とに分けられ、選択されたパーティカルブロック側の信号群が分配される。アドレスAD(7)は、ワード線を選択するワー

ド線デコーダがブロックの左側か右側かを区別する信号であり、一部のプリデコード信号VXTの分配に利用される。上記の分配は、パーティカルブロック選択信号VSELを利用して行うこともできるし、後述するXデコーダ選択信号XSELを利用して行うこともできる。

【 0 0 5 6 】

ローカルXデコーダ19(2)は、セクタアドレスZAD(21:17)をプリデコードして、パーティカルブロック選択信号VSELによって、アドレスで選択されたパーティカルブロックのXデコーダにのみ、プリデコード信号Z 1, Z 2を分配する。パーティカルブロック選択信号VSELは、冗長判定結果に影響されない選択信号であり、セクタデコーダ22に供給されるプリデコードZ 1, Z 2は、供給アドレスで選択されたパーティカルブロックにのみ供給され、それと対をなすパーティカルブロックのスペアセクタには供給されない。

【 0 0 5 7 】

ローカルXデコーダ19(3)は、クワッド選択信号QSELとパーティカルブロック選択信号VSELqvとで選択されるパーティカルブロックに、冗長判定信号REDXFBが一致状態になったときにスペアセクタ選択信号ZREDqを生成する。但し、パーティカルブロック選択信号VSELqvは、冗長判定結果信号REDXFBに影響されて切り換えられる信号である。従って、アドレス遷移検出信号ATDPREが出力される期間では、冗長判定結果信号REDXFBが強制的にLレベル（一致状態）にされているので、パーティカルブロック選択信号VSELqvは、供給アドレスが選択するパーティカルブロックと対になっている隣接パーティカルブロックを選択している。つまり、図4の例では、パーティカルブロック選択信号VSELqvはパーティカルブロックVblock0を選択している。従って、第2のアドレス遷移検出信号ATDPREがHレベルの期間は、隣接するパーティカルブロック内のスペアセクタ選択信号ZREDqが選択状態になり、ワード線の同時選択を可能にする。

【 0 0 5 8 】

ローカルXデコーダ19(4)は、クワッド選択信号QSELとパーティカルブロック選択信号VSELとで選択されるパーティカルブロックに、冗長判定が一致状態になったときに、セクタディセーブル信号DSZBqを生成する。つまり、冗長判定結果

が一致状態の時は、供給アドレスで選択されるレギュラーセクタが非選択状態にされ、スペアセクタが選択状態にされる。つまり、図4の例では、最初は、パーティカルブロック選択信号VSELにより、選択されたブロックVblock1のセクタディセーブル信号DSZBqはイネーブル状態になるが、冗長一致結果により、その後ディセーブル状態になる。

【 0 0 5 9 】

次に、図11の昇圧電源分配回路について説明する。図11には、昇圧電源分配回路vpx-mux(1)の前段の、Xデコーダ選択信号生成回路xselとそのバッファ回路xsel-bufferとが示される。Xデコーダ選択信号生成回路xselは、4つのパーティカルブロック選択信号VSELから、アドレス信号AD(7)を利用して、5つのXデコーダ選択信号を生成する。各クワッドブロック内に設けられるバッファ回路xsel-bufferでは、クワッド選択信号QSELと論理積が取られて、5つのXデコーダ選択信号XSELqが生成され、分配回路vpx-mux(1)によりワード線昇圧電源VPXGが分配される。つまり、5つのXデコーダのうち1つのみ、昇圧電源VPXGが供給される。

【 0 0 6 0 】

但し、冗長判定信号REDX(0)(1)に応じて、冗長判定結果が一致状態になったとき、パーティカルブロックの位置に応じて、ワード線昇圧電源VPXGの供給先がスペアセクタ側のブロックのXデコーダに変更される。図4、図5、図6の例によれば、アドレス遷移検出後の一定期間は、パーティカルブロックVblock1の左側のXデコーダにワード線昇圧電源VPXGが供給されるが、冗長判定結果が一致なら、パーティカルブロックVblock0の左側のXデコーダに変更され、不一致なら変更されない。

【 0 0 6 1 】

もう一つの昇圧電源分配回路vpx-mux(2)は、セクタセレクトゲート選択信号の昇圧電源VPSGを、パーティカルブロック選択信号VSELqvに応じて、Xデコーダに供給する。冗長判定結果の影響を受けるパーティカルブロック選択信号VSELqvで分配しているので、図4、図5、図6の例によれば、アドレス遷移検出後の一定期間は、パーティカルブロックVblock0の左側のXデコーダに昇圧電源VPSGが供

給されるが、その期間後は、冗長判定結果が一致ならそのまま維持されるが、不一致ならパーティカルブロックVblock1おの左側のXデコーダに変更される。

【 0 0 6 2 】

上記のワード線やセクタセレクト選択信号は、アドレス遷移検出信号が生成されている一定期間は、電源Vccレベルまで駆動され、その後昇圧電源によって昇圧レベルに駆動される。従って、アドレス遷移検出信号の一定期間は、昇圧電源がどちらに供給されていてもよく、その一定期間後において、冗長判定結果に応じて、必要なXデコーダにその昇圧電源が供給されれば良い。従って、上記の例では、いずれの昇圧電源も、冗長判定結果に応じて必要なXデコーダに供給される。

【 0 0 6 3 】

更に、図3に戻り、YデコーダY-decでは、パーティカルブロック選択信号VSELにより、選択されたパーティカルブロックのYゲートを選択する選択信号BSDが駆動される。また、パーティカルブロック選択信号VSELを利用して、セクタセレクトデコーダのプリデコード信号SELGも1対のパーティカルブロックに供給される。そして、冗長判定回路からの冗長判定信号REDHITに応答して、一致状態であれば、対となる隣接するパーティカルブロック側に、Yゲート選択信号BSDが切り換えられて供給される。不一致状態であれば、選択されたパーティカルブロック側への供給が維持される。尚、プリデコード信号SELGは1対のパーティカルブロックに供給されたままでも良く、セクタデコーダによりセクタセレクトデコーダが制御される。

【 0 0 6 4 】

また、YデコーダY-decが生成するYゲート選択信号BSDは、図1中のクワッドYデコーダquad-Y-decにてコラム昇圧電源VB00ST-CSにより昇圧され、YデコーダY-decにて、冗長判定信号REDXHITに応じて、1対のパーティカルブロックの一方のブロックのYゲートにのみ供給される。

【 0 0 6 5 】

以上で、本実施の形態でのレギュラーセクタとスペアセクタの同時選択と、その後の冗長判定結果に応じた選択動作が理解される。そこで、タイミングチャー

トを参照して、上記の選択動作について説明する。

【 0 0 6 6 】

図 1 2 は、本実施の形態における動作タイミングチャート図である。図中には、アドレス遷移が検出されてスペアセクタ側に救済（リペア）された場合（図中 do repair）と、救済されない場合（図中 don't repair）の両方が示される。また、例として、図 4, 5, 6 のように、供給アドレスはパーティカルブロック Vblock1 を選択し、同時にペアのパーティカルブロック Vblock0 のスペアセクタが選択される場合について説明する。

【 0 0 6 7 】

まず、冗長判定が一致状態になりスペアセクタ側に切り換えられる場合について説明する。最初に、アドレス遷移が検出されるとアドレス遷移検出信号 ATD、A TDPRE が一定期間 H レベルになる。それに応答して、冗長判定回路 REDX では、冗長判定信号 REDXFB が強制的に一致状態の L レベルに制御される。また、供給アドレスはパーティカルブロック Vblock1 を選択しているので、パーティカルブロック選択信号 VSEL はブロック 1 を選択する。但し、冗長判定に影響されるもう一つのパーティカルブロック選択信号 VSELqv はブロック 0 を選択する。また、X デコーダ選択信号 XSELq は、やはりブロック Vblock1 を選択している。

【 0 0 6 8 】

アドレス遷移検出後の一定期間では、ワード線デコーダへのプリデコード信号 Z0, XT, VXT 及びセクタセレクトデコーダへのプリデコード信号 SELGq0, SELGq1 は、パーティカルブロック Vblock0, 1 の両方に供給される。そして、セクタデコーダへのプリデコード信号 Z1, Z2 により、パーティカルブロック Vblock1 側のレギュラーセクタが選択されて、レギュラーセクタ内のワード線 WL(m+1)L(0) とセクタセレクト選択信号 SEL(m+1) とが電源 Vcc レベルまで駆動される。同時に、パーティカルブロック Vblock0 側のスペアセクタイネーブル信号 ZREDq(0) がイネーブル状態になっていて、スペアセクタ内のワード線 WLRkL(0) 及びセクタセレクト選択信号 SELXRk も電源 Vcc まで駆動される。これが同時選択状態である。

【 0 0 6 9 】

アドレス遷移検出信号 ATD が H レベルの間は、冗長判定動作が完了して検出信

号ATDPREがLレベルになっても、冗長判定信号REDXFBは、一致状態（Lレベル）を維持する。パーティカルブロックVblock1で冗長判定が一致したことに伴って、冗長判定信号REDX(1)がHレベルになり、これに応答して、セクタディセーブル信号DSZBq(1)がLレベルになり、パーティカルブロックVblock1側の全てのセクタデコーダをディセーブルにし、レギュラーセクタ内のワード線WL(m+1)L(0)とセクタセレクト選択信号SEL(m+1)とがグラウンドレベルに下がる。つまり、選択状態が終了する。

【 0 0 7 0 】

一方、冗長判定信号REDXFBが一致状態になっているので、パーティカルブロック選択信号VSELqvはブロックVblock0の選択状態を維持する。また、Xデコーダ選択信号XSELqは、ブロックVblock1からブロックVblock0の選択状態に切り替わる。より厳密には、5つのXデコーダ位置のうち、それらブロックに対応するXデコーダに切り替わる。そして、パーティカルブロックVblock0側では、昇圧電源が供給されるので、スペアセクタ内のワード線WLRkL(0)とセクタセレクト信号SELRkとが昇圧電源レベルまで駆動される。同様に、Yゲート選択信号BSDq0も電源Vccレベルから昇圧電圧レベルまで駆動される。これにより、スペアセクタ側のセル電流が、メインビット線、Yゲート、データバス線を介してセンスアンプに供給される。

【 0 0 7 1 】

次に、冗長判定結果が不一致となり、レギュラーセクタ側の選択が維持される場合について説明する。アドレス遷移検出信号ATDPREがHレベルの間は、前述と同じである。そして、冗長判定結果が不一致となると、冗長判定信号REDXFBがHレベルになるので、パーティカルブロック選択信号VSELqvは、供給アドレスで選択されているパーティカルブロックVblock1側に切り替わる。それに伴い、スペアセクタイネーブル信号ZREDq(0)がLレベルに下がり、パーティカルブロックVblock0側のスペアセクタ内のワード線WLRkL(0)、セクタセレクト選択信号SELRk、Yゲート選択信号BSDq(0)が全てグラウンドレベルに下がる。

【 0 0 7 2 】

一方、パーティカルブロックVblock1側では、ワード線WL(m+1)L(0)とセクタセ

レクト選択信号SEL(m+1)、及びYゲート選択信号BSDq1が、電源Vccレベルから昇圧電源レベルまで駆動される。

【 0 0 7 3 】

以上の通り、アドレス遷移に応答して、一旦、レギュラーセクタとスペアセクタとを同時に選択状態にして、両セクタ内のワード線を一旦電源Vccレベルまで駆動するので、冗長判定動作により、アクセスが遅くなることは回避される。

〔コラム昇圧電源の低下防止〕

図2に示したYゲートY-Gateに供給される、Yゲート選択信号BSD、コラム選択信号CS、プリチャージ選択信号BSPは、アドレス遷移後の一定期間は電源Vccに駆動されるが、冗長判定後に、コラム昇圧電源VB00ST-CSにより昇圧レベルに駆動される。同様に、セクタセレクト選択信号SELも同様に駆動される。

【 0 0 7 4 】

クワッドアドレスZAD(23:22)が変化すると、クワッド選択信号QSELが変化し、クワッドブロックの選択が切り替わる。この時、上記Yゲートに供給される選択信号CS、BSP、BSD、SELが切り替わる。これらの電源は、昇圧回路13で生成されるコラム昇圧電源VB00ST-CSであるが、上記の同時切り替わりによって、この電源が大きくドロップすることが問題になる。

【 0 0 7 5 】

図13は、コラム昇圧電源の低下を説明するタイミングチャート図である。図13(B)に示されるとおり、アドレス遷移に伴って、コラム昇圧電源VB00ST-CSは大きく低下する(図中Drop1)。更に、Yゲート選択信号BSDは、冗長判定信号によってYデコーダでその切り替わりが制御されるので、他の選択信号CS、BSP、SELよりも遅いタイミングで変化する。これに伴い、コラム昇圧電源VB00ST-CSは、Yゲート選択信号BSDの変化により再度低下する(図中Drop2)。この2番目の昇圧電源の低下により、アドレス遷移検出信号ATDがHレベルの期間中に、コラム昇圧電源VB00ST-CSが電源Vccレベルまで回復できなくなるという問題がある。回復できないとその後の昇圧電源レベルへの駆動に支障を招くことになる。十分に回復させるためには、アドレス遷移検出信号ATDのパルス幅を長くすればよいが、そのようにすると、アクセス速度の低下を招き好ましくない。

【 0 0 7 6 】

そこで、本実施の形態では、冗長判定信号REDXFBよりも早いタイミングで冗長判定結果を伝える信号REDXHITを冗長判定回路REDXから取りだして、YデコーダY-decに供給している。つまり、図9に示されるとおり、早期冗長判定信号REDXHITは、アドレス遷移検出信号ATDPREにより論理をとるまえのタイミングの早い信号である。従って、アドレス遷移検出信号ATDPREがLレベルになる前に、この早期冗長判定信号REDXHITは、冗長判定結果を伝えることができる。そして、Yデコーダでは、図3に示されるとおり、この早期冗長判定信号REDXHITを使って、Yゲート選択信号BSDの切替を行うようにする。つまり、YデコーダY-dec内では、パーティカルブロック選択信号VSELと早期冗長判定信号REDXHITとにより、Yゲートの選択が切り換えられる。

【 0 0 7 7 】

YデコーダY-decの動作では、アドレス遷移後の一定期間は、一律Yゲート選択信号BSDはレギュラーセクタ側のブロックを選択し、その後、早期冗長判定信号REDXHITに応じて切り替えられる。

【 0 0 7 8 】

図13(A)に示されるとおり、パーティカルブロックVblock1が選択状態であれば、冗長不一致であれば早期冗長判定信号REDXHITが不一致状態（Lレベル）になり、ブロックの入れ替わりはなく、パーティカルブロックVblock1のYゲート選択信号BSDq1がアドレス遷移検出信号ATDPREが立ち下がる前にイネーブル状態になり、一方で、冗長一致であれば信号REDXHITが一致状態（Hレベル）になり、ブロックは入れ替わり、パーティカルブロックVblock0のYゲート選択信号BSDq0がアドレス遷移検出信号ATDPREが立ち下がる前にイネーブル状態になる。いずれにしても、Yゲート選択信号BSDの切り替わりタイミングが早められる。その結果、コラム昇圧電源VB00ST-CSの2番目の降下タイミングが早められ、アドレス遷移検出信号ATDがLレベルになるまでに、十分電源Vccレベルまで回復することができる。従って、アクセス時間の遅れはない。

〔 4 セクタ同時消去モードの禁止動作 〕

本実施の形態では、セクタ消去の時に、図1の横方向に並ぶ4つのセクタを同

時に消去する同時消去モードを有する。しかし、不良レギュラーセクタを救済するスペアセクタを、隣接する対となるパーティカルブロック内のスペアセクタにしている。従って、スペアセクタへの置き換えを行った場合は、上記の同時消去モードは不可能になる。なぜなら、同じパーティカルブロック内に消去対象のレギュラーセクタとスペアセクタとが併存し、ビット線電流の供給が不十分になるからである。

【 0 0 7 9 】

図 1 4 は、本実施の形態でのパーティカルブロック選択信号生成回路の図である。図 7 に示したパーティカルブロック選択信号生成回路 *vsel* の詳細が、図 1 4 に示される。AND ゲート 4 0 ~ 4 3 と、反転ゲート 4 4, 4 5 により、アドレス *ZAD*(15)、*ZAD*(16) のデコードが行われて、4 つのパーティカルブロック選択信号 *VSEL*(0) ~ (3) が生成される。そして、インバータ 4 7 と NAND ゲート 4 6 を介して、メモリのステートマシンから 4 セクタ同時消去モード信号 *FCERB* (L レベル) が供給されると、NAND ゲート 4 4, 4 5 の反転動作が停止して、4 つのパーティカルブロック選択信号 *VSEL*(0) ~ (3) が全て選択状態 (H レベル) になる。これが、同時消去モード状態である。

【 0 0 8 0 】

一方、このパーティカルブロック選択信号生成回路 *vsel* に、いずれかのパーティカルブロックで冗長アドレスと供給アドレスとが一致したことを示す同時消去ディセーブル信号 *DISFCERB* が供給される。この信号は、図 9 の冗長判定回路 *REDX* により生成される。この同時消去ディセーブル信号 *DISFCERB* がディセーブル状態 (L レベル) になると、同時消去モード信号 *FCERB* にかかわらず、NAND ゲート 4 4, 4 5 を反転ゲートにするので、通常のデコード動作が行われ、同時選択が禁止される。

【 0 0 8 1 】

これに伴い、アドレス *ZAD*(16:15) が (1,1), (1,0), (0,1), (0,0) と順番に切り換えられ、各セクタが 1 つずつ順番に消去される。但し、リペアセクタによる救済がされている場合は、冗長判定信号 *REDXFB* が一致状態 (L レベル) になり、パーティカルブロックを切り換えるので、そのリペアセクタが消去される。

〔第 2 の実施の形態〕

次に、第 2 の実施の形態について説明する。本実施の形態のメモリ回路も、図 1, 2, 3 などに示されるとおり、複数のレギュラーセクタとスペアセクタをし、図 9 に示すように冗長判定回路 REDX を有する。そして、冗長判定回路は、第 1 の信号であるテスト信号 TEST に応答して、冗長メモリ内のアドレスにかかわらず、冗長判定信号 REDXFB を一致状態にしてスペアセクタへのアクセスを可能にする。そのために、AND ゲート 3 4, 3 6, 3 8 が設けられる。従って、別の判定信号 REDX(0)(1) も強制的に一致状態にされ、また、同時消去モードディセーブル信号 DISFCERB も強制的に一致状態（ディセーブル状態）にされる。

【 0 0 8 2 】

更に、冗長判定回路 REDX は、第 2 の信号である冗長ディセーブル信号 DISRED に応答して、冗長メモリ内のアドレスにかかわらず、冗長判定信号 REDXFB を不一致状態にして、スペアセクタに置き換えられたレギュラーセクタへのアクセスを可能にする。そのために、NOR ゲート 3 3, 3 5, 3 7 は設けられる。それに伴い、別の判定信号 REDX(0)(1) も強制的に不一致状態にされ、また、同時消去モードディセーブル信号 DISFCERB も強制的に不一致状態（イネーブル状態）にされる。

【 0 0 8 3 】

この実施例によれば、冗長メモリに冗長アドレスを書き込む前であっても、スペアセクタへのアクセスが可能になり、スペアセクタの試験を行うことができる。更に、冗長メモリに冗長アドレスを書き込んだ後であっても、スペアセクタに置き換えられたレギュラーセクタへのアクセスが可能になり、不良と判定されたレギュラーセクタの試験を行うことができる。

【 0 0 8 4 】

以上の実施の形態では、フラッシュメモリを例にして説明した。しかしながら、他の半導体メモリであって、冗長セルアレイを有するメモリにも、レギュラーセルアレイとスペアセルアレイを一時的に同時選択する本実施の形態の方式を採用することができる。特に、ワード線の冗長構成のメモリ回路では、冗長判定が一致状態になるとスペアセルアレイ側のワード線の選択からやり直す必要があり、一時的な同時選択が有効になる。また、ワード線や Y ゲート選択信号を昇圧電

源レベルに駆動する場合は、冗長判定が終了した後に昇圧レベルへの駆動を行うことが有効であり、そのためには、冗長判定によって、昇圧電源の供給を決定することが有効である。

【 0 0 8 5 】

以上、実施の形態例をまとめると以下の付記の通りである。

【 0 0 8 6 】

（付記 1）複数のメモリセルを有するセクタを有するメモリ回路において、複数のレギュラーセクタとスペアセクタとをそれぞれ有する複数のブロックを有し、

前記複数のブロックのうち、第 1 のブロック内のレギュラーセクタが不良を有する場合、当該不良レギュラーセクタが第 2 のブロック内のスペアセクタに置き換えられ、

供給されるアドレスに応答して、第 1 の期間、前記第 1 のブロック内の供給アドレスに対応するレギュラーセクタと共に第 2 のブロック内のスペアセクタが同時に選択され、前記第 1 の期間の後、供給アドレスが冗長アドレスと一致するかどうかの冗長判定結果に応じて、前記同時選択されたレギュラーセクタまたはスペアセクタのいずれか一方の選択が維持され、他方の選択が終了することを特徴とするメモリ回路。

【 0 0 8 7 】

（付記 2）付記 1 において、

前記各セクタは複数のワード線をそれぞれ有し、前記供給アドレスに応答して、前記第 1 のブロック内のレギュラーセクタと第 2 のブロック内のスペアセクタが同時に選択される時に、当該レギュラーセクタとスペアセクタ内のワード線が同時に選択されることを特徴とするメモリ回路。

【 0 0 8 8 】

（付記 3）付記 2 において、

前記各セクタにはセクタ内のワード線を選択するワード線デコーダが設けられ

当該ワード線デコーダの入力信号が、少なくとも前記第 1 の期間において、第

1 及び第 2 のブロックに供給され、前記同時選択されるレギュレークタ内のワード線選択と、スぺアセクタ内のワード線選択とが行われることを特徴とするメモリ回路。

【 0 0 8 9 】

(付記 4) 付記 2 において、

前記第 1 の期間において、前記同時選択されたワード線は、第 1 の電圧まで駆動され、前記第 1 の期間後において、選択が維持されたワード線は、前記第 1 の電圧より高い第 2 の電圧に駆動されることを特徴とするメモリ回路。

【 0 0 9 0 】

(付記 5) 付記 4 において、

更に、電源電圧より高い昇圧電源を生成する昇圧回路を有し、

前記第 1 の電圧は電源電圧レベルであり、前記第 2 の電圧は昇圧電源電圧レベルであり、

前記昇圧回路が生成する昇圧電源が、前記第 1 の期間後において、選択が維持される第 1 または第 2 のブロックに供給されることを特徴とするメモリ回路。

【 0 0 9 1 】

(付記 6) 付記 1 において、

更に、前記複数のブロックを選択するブロック選択信号を生成するブロック選択信号生成回路を有し、

前記ブロック選択信号は、前記第 1 の期間後において、前記冗長判定が一致状態の時に、第 1 のブロックから第 2 のブロックに切り換えられることを特徴とするメモリ回路。

【 0 0 9 2 】

(付記 7) 付記 1 において、

前記複数のブロックが複数のブロック対に分けられ、

当該ブロック対の一方が前記第 1 のブロック、他方が前記第 2 のブロックであることを特徴とするメモリ回路。

【 0 0 9 3 】

（付記 8）付記 1 において、

前記各ブロックには、冗長判定が一致した時に前記スペアセクタを選択するスペアセクタイネーブル信号と、前記レギュラーセクタの選択を禁止するセクタディセーブル信号とが供給され、

前記第 1 の期間において、前記第 2 のブロックに供給されるスペアセクタイネーブル信号がイネーブル状態にされて前記スペアセクタが選択されることを特徴とするメモリ回路。

【 0 0 9 4 】

（付記 9）付記 1 において、

前記各ブロックには、ブロック内のビット線を選択する Y ゲート回路が設けられ、

前記 Y ゲートは、前記冗長判定結果が不一致の時は、第 1 のブロックのビット線を選択し、前記冗長判定結果が一致の時は、第 2 のブロックのビット線を選択することを特徴とするメモリ回路。

【 0 0 9 5 】

（付記 1 0）付記 9 において、

前記 Y ゲート回路に供給される Y ゲート選択信号が、前記第 1 の期間中に電源電圧レベルに駆動され、前記第 1 の期間後に前記電源電圧レベルより高い昇圧電源電圧レベルまで駆動され、

前記第 1 の期間が終了する前に冗長判定結果に従って、前記 Y ゲート選択信号の駆動が開始されることを特徴とするメモリ回路。

【 0 0 9 6 】

（付記 1 1）付記 1 において、

複数のブロック内のセクタを同時に選択する同時選択モードを有し、

前記冗長判定が一致状態の場合は、当該同時選択モードがディセーブルにされることを特徴とするメモリ回路。

【 0 0 9 7 】

（付記 1 2）付記 1 において、

複数のブロック内のセクタを同時に選択して消去する同時消去モードを有し、

前記冗長判定が一致状態の場合は、当該同時消去モードがディセーブルにされることを特徴とするメモリ回路。

【 0 0 9 8 】

(付記 1 3) 複数のメモリセルを有するメモリ回路において、
複数のレギュラーメモリセル領域とスペアメモリセル領域とをそれぞれ有する複数のブロックを有し、

前記複数のブロックのうち、第 1 のブロック内のレギュラーメモリセル領域が不良を有する場合、当該不良レギュラーメモリセル領域が第 2 のブロック内のスペアメモリセル領域に置き換えられ、

供給されるアドレスに応答して、第 1 の期間、前記第 1 のブロック内の供給アドレスに対応するレギュラーメモリセル領域と共に第 2 のブロック内のスペアメモリセル領域が同時に選択され、前記第 1 の期間の後、供給アドレスが冗長アドレスと一致するか否かの冗長判定結果に応じて、前記同時選択されたレギュラーメモリセル領域またはスペアメモリセル領域のいずれか一方の選択が維持され、他方の選択が終了することを特徴とするメモリ回路。

【 0 0 9 9 】

(付記 1 4) 付記 1 3 において、

前記各メモリセル領域は複数のワード線をそれぞれ有し、前記供給アドレスに応答して、前記第 1 のブロック内のレギュラーメモリセル領域と第 2 のブロック内のスペアメモリセル領域が同時に選択される時に、当該レギュラーメモリセル領域とスペアメモリセル領域内のワード線が同時に選択されることを特徴とするメモリ回路。

【 0 1 0 0 】

(付記 1 5) 付記 1 4 において、

前記選択されたワード線は、前記第 1 の期間の間、電源電圧レベルまで駆動され、前記第 1 の期間後に、前記電源電圧より高い昇圧電源レベルまで駆動され、

前記第 1 の期間後において、前記冗長判定結果に応じて選択が維持されるワード線に、前記昇圧電源が供給されることを特徴とするメモリ回路。

【 0 1 0 1 】

(付記 1 6) 付記 1 3 において、
 前記メモリセル領域は複数のビット線をそれぞれ有し、
 更に、前記ブロック毎に設けられ、前記ビット線を選択する Y ゲートと、
 前記 Y ゲートに Y ゲート選択信号を供給する Y デコーダとを有し、
 前記 Y ゲート選択信号は、前記第 1 の期間の間、電源電圧レベルまで駆動され、
 前記第 1 の期間後に、前記電源電圧より高い昇圧電源レベルまで駆動され、
 前記第 1 の期間後において、前記冗長判定結果に応じて選択が維持されるブロックに対応する Y ゲート選択線に、前記昇圧電源が供給されることを特徴とするメモリ回路。

【 0 1 0 2 】

(付記 1 7) 複数のレギュラーセクタとスペアセクタを有するメモリ回路において、
 不良を有するレギュラーセクタのアドレスを記憶する冗長メモリと、
 供給されたアドレスと前記冗長メモリ内のアドレスとを比較する冗長判定回路とを有し、
 前記冗長判定回路が生成する冗長判定信号に応じて、前記レギュラーセクタまたはそれに置き換えられた前記スペアセクタのいずれかが選択され、
 前記冗長判定回路は、第 1 の信号に応答して、前記冗長メモリ内のアドレスにかかわらず、前記冗長判定信号を一致状態にして前記スペアセクタへのアクセスを可能にすることを特徴とするメモリ回路。

【 0 1 0 3 】

(付記 1 8) 複数のレギュラーセクタとスペアセクタを有するメモリ回路において、
 不良を有するレギュラーセクタのアドレスを記憶する冗長メモリと、
 供給されたアドレスと前記冗長メモリ内のアドレスとを比較する冗長判定回路とを有し、
 前記冗長判定回路が生成する冗長判定信号に応じて、前記レギュラーセクタまたはそれに置き換えられた前記スペアセクタのいずれかが選択され、
 前記冗長判定回路は、第 2 の信号に応答して、前記冗長メモリ内のアドレスに

かかわらず、前記冗長判定信号を不一致状態にして、前記スペアセクタに置き換えられたレギュラーセクタへのアクセスを可能にすることを特徴とするメモリ回路。

【 0 1 0 4 】

【発明の効果】

以上、本発明によれば、冗長判定に伴うアクセス速度の低下を抑制した冗長構成付きメモリ回路を提供することができる。

【図面の簡単な説明】

【図 1】

本実施の形態におけるフラッシュメモリの全体構成図である。

【図 2】

バーティカルブロックと左右の X デコーダの詳細回路図である。

【図 3】

1 つのバーティカルブロックとその両側の X デコーダを示すブロック図である。

【図 4】

本実施の形態における第 1 の特徴であるセクタ選択動作を模式的に示す図である。

【図 5】

本実施の形態における第 1 の特徴であるセクタ選択動作を模式的に示す図である。

【図 6】

本実施の形態における第 1 の特徴であるセクタ選択動作を模式的に示す図である。

【図 7】

バーティカルブロック選択信号バッファ回路を示す図である。

【図 8】

アドレス遷移検出回路とその動作タイミングチャートを示す図である。

【図 9】

冗長判定回路を示す図である。

【図 1 0】

ローカル X デコーダの構成図である。

【図 1 1】

昇圧電源分配回路の構成図である。

【図 1 2】

本実施の形態における動作タイミングチャート図である。

【図 1 3】

コラム昇圧電源の低下を説明するタイミングチャート図である。

【図 1 4】

本実施の形態でのバーティカルブロック選択信号生成回路の図である。

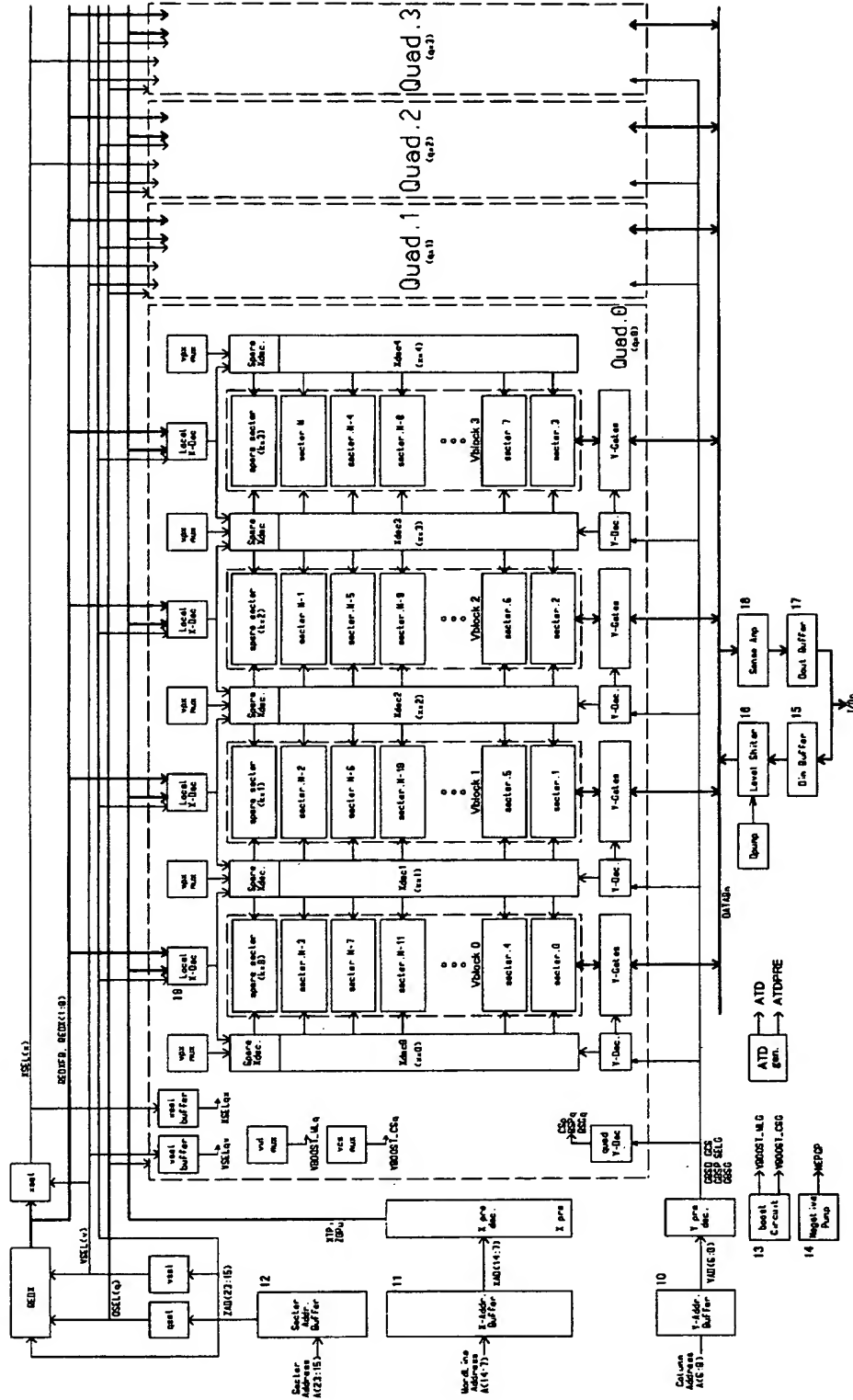
【符号の説明】

Vblock	ブロック、バーティカルブロック
secter	セクタ
R-MC	レギュラーメモリセル
S-MC	スペアメモリセル
Y-gate	Yゲート
2 0	レギュラーワードデコーダ
2 2	セクタデコーダ

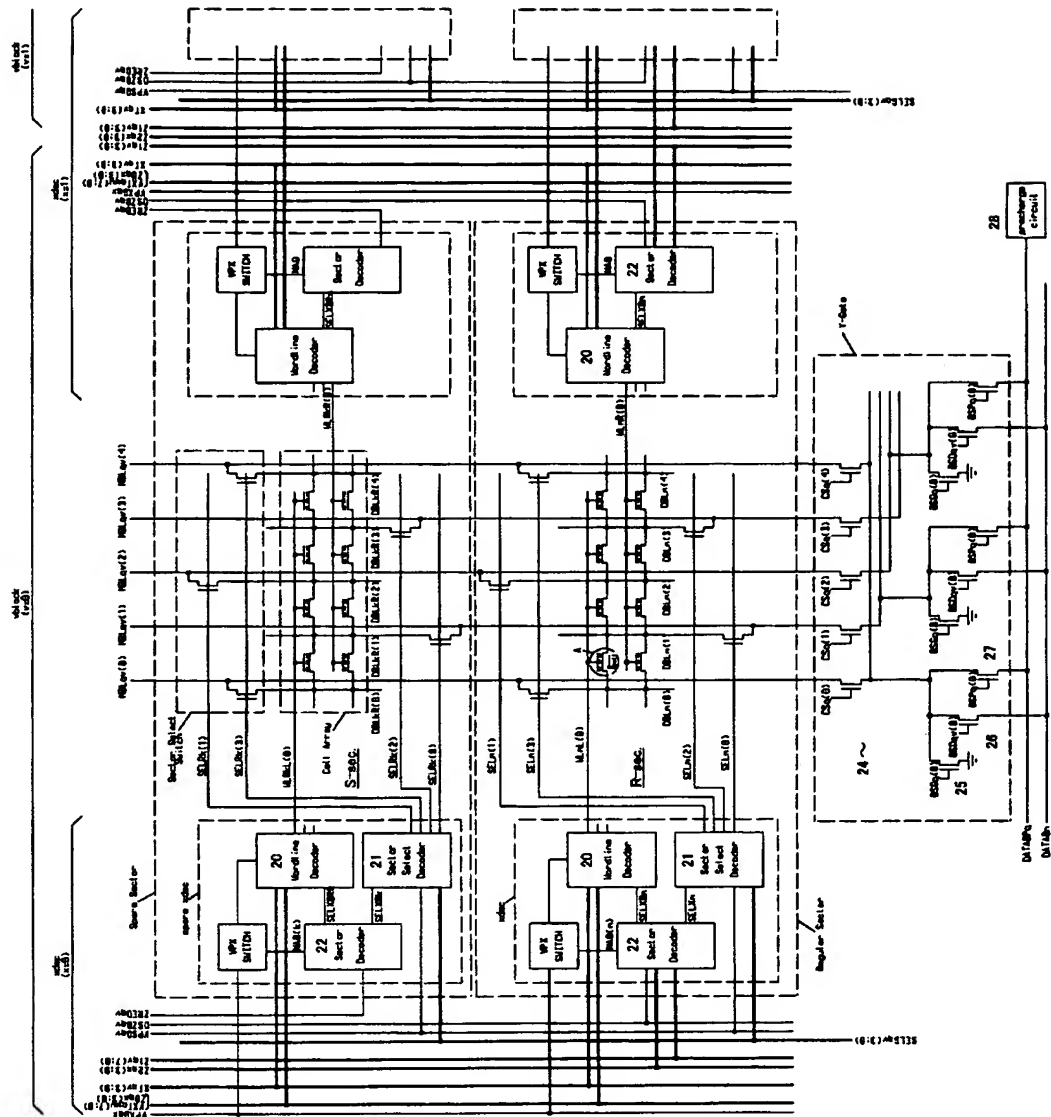
【書類名】

図面

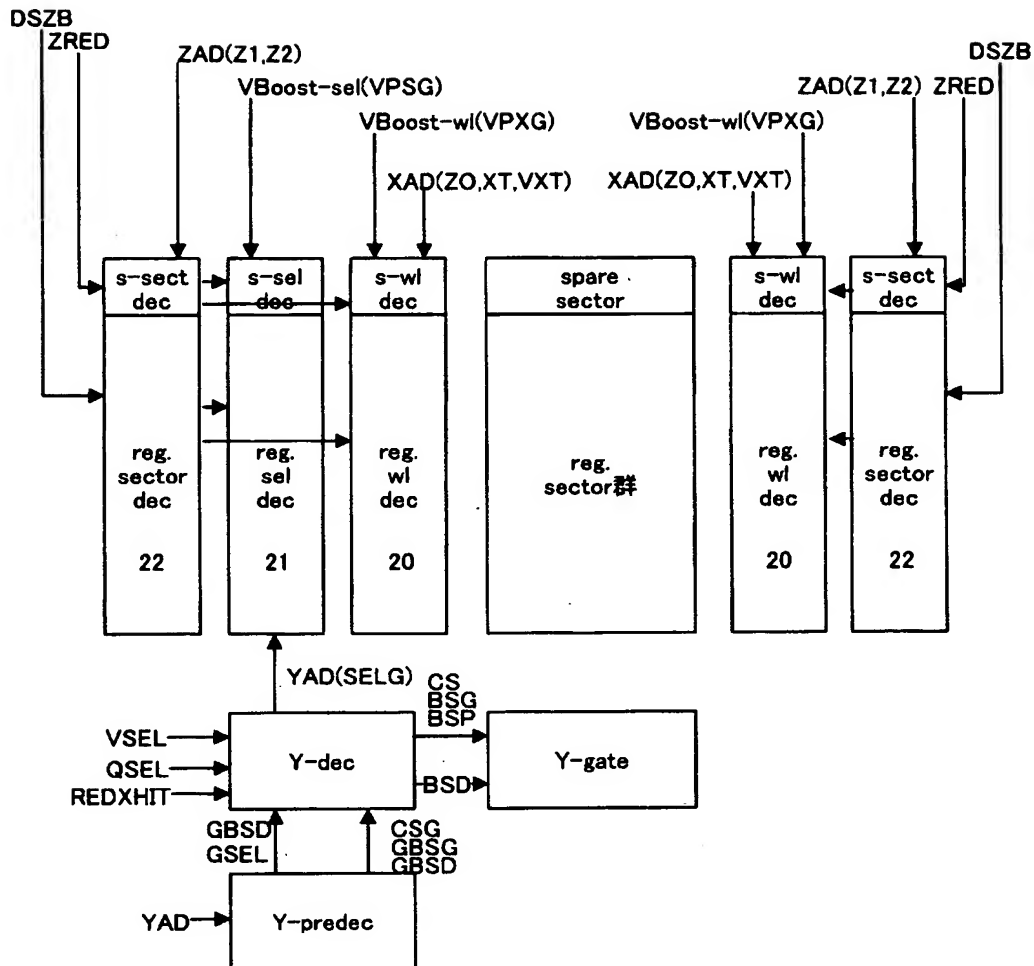
【図 1】



【図2】

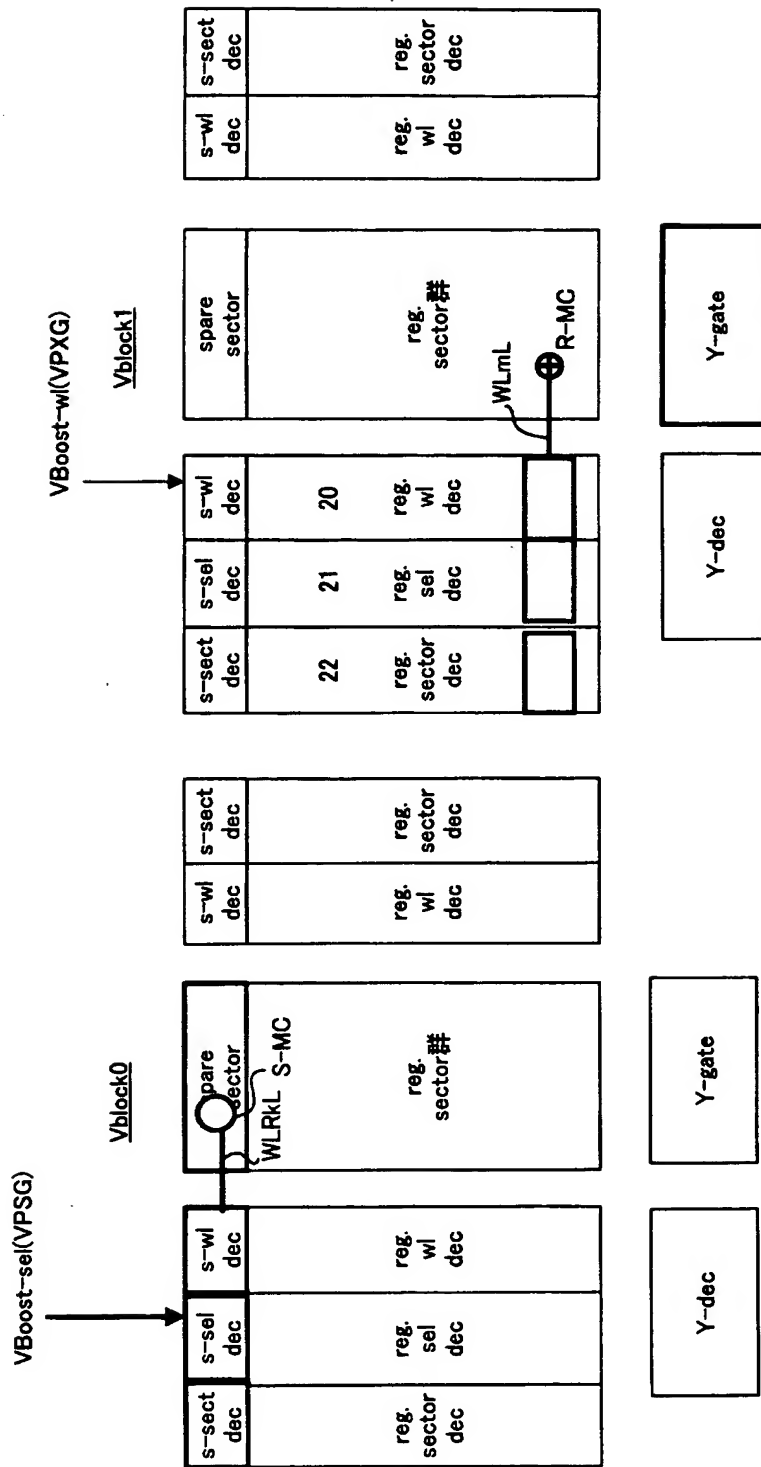


【図 3】



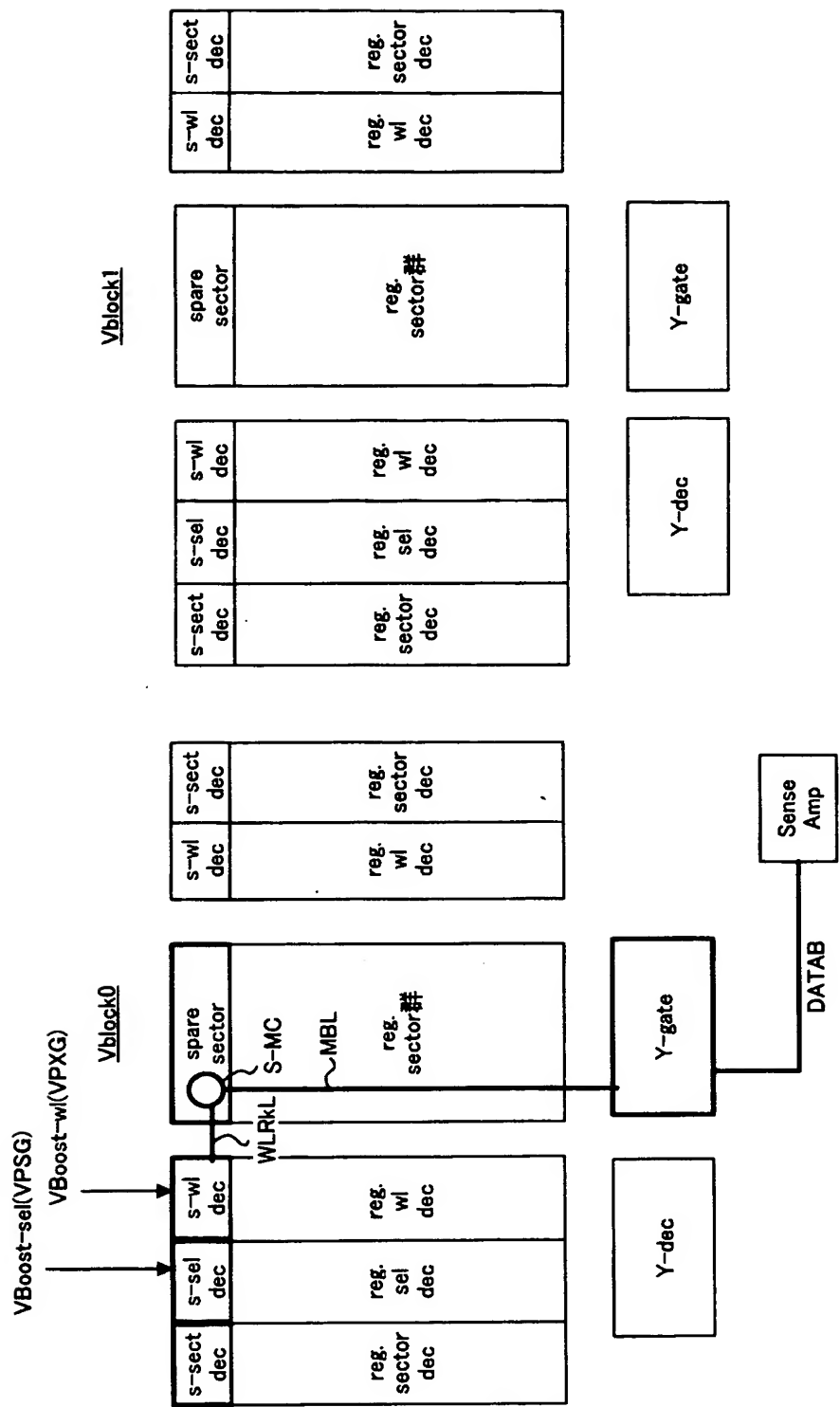
【図 4】

Reg. WLとSpear WLの両方選択状態

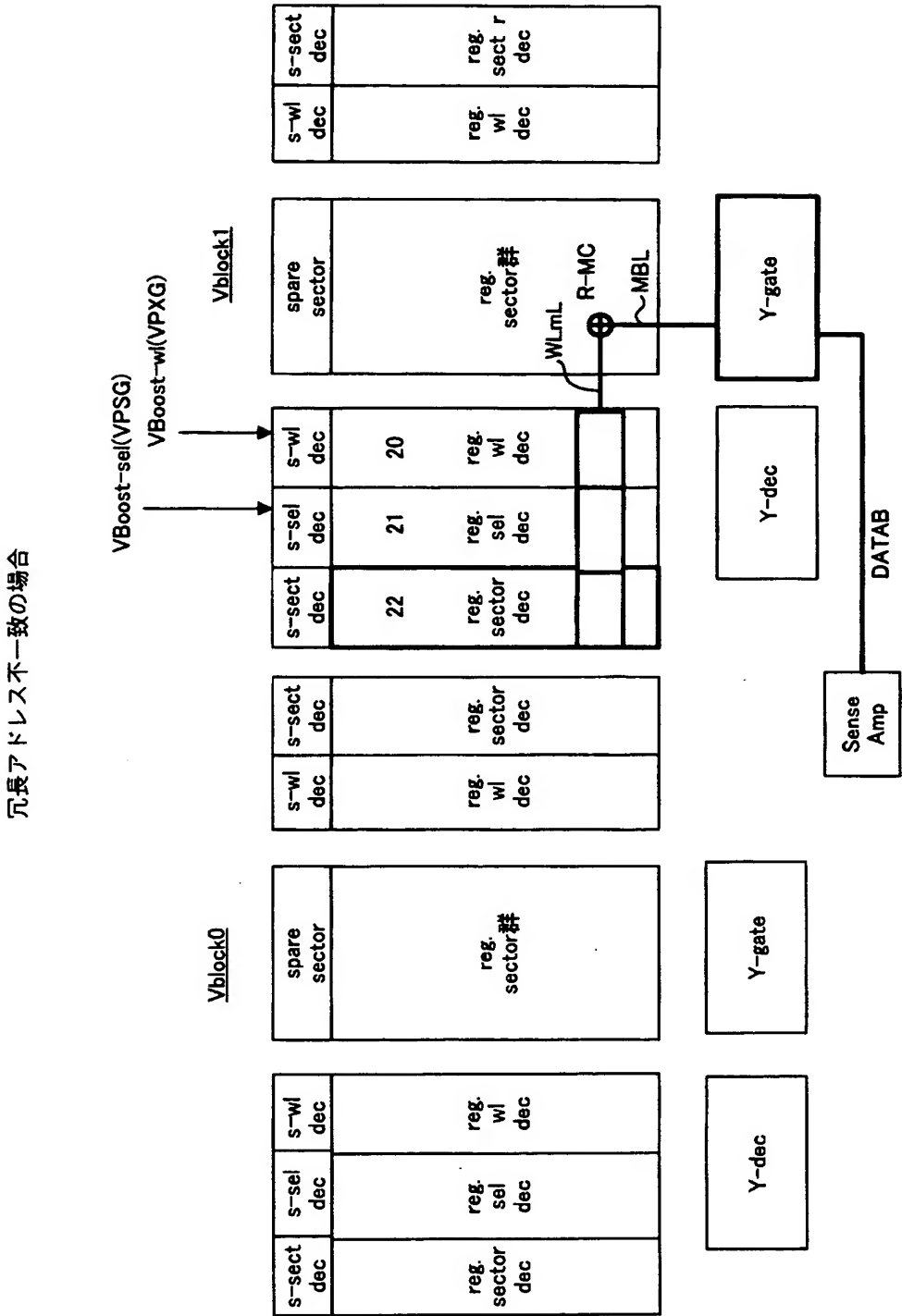


【図 5】

冗長アドレス一致の場合

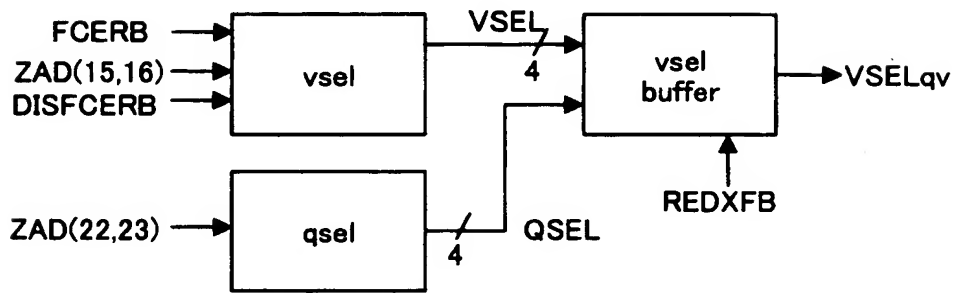


【図 6】

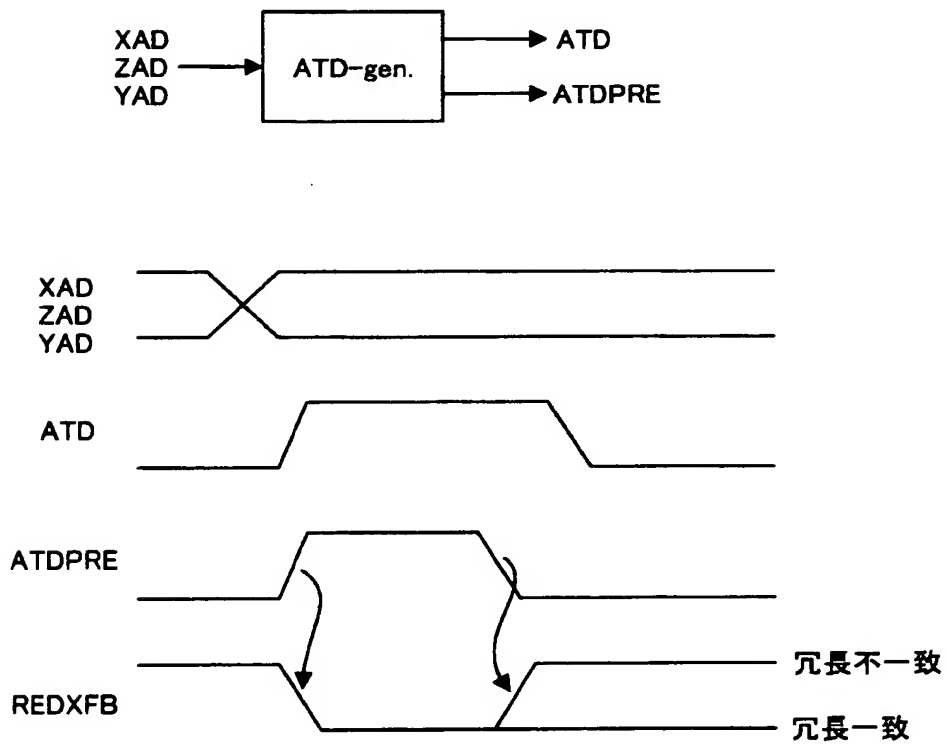


【図 7】

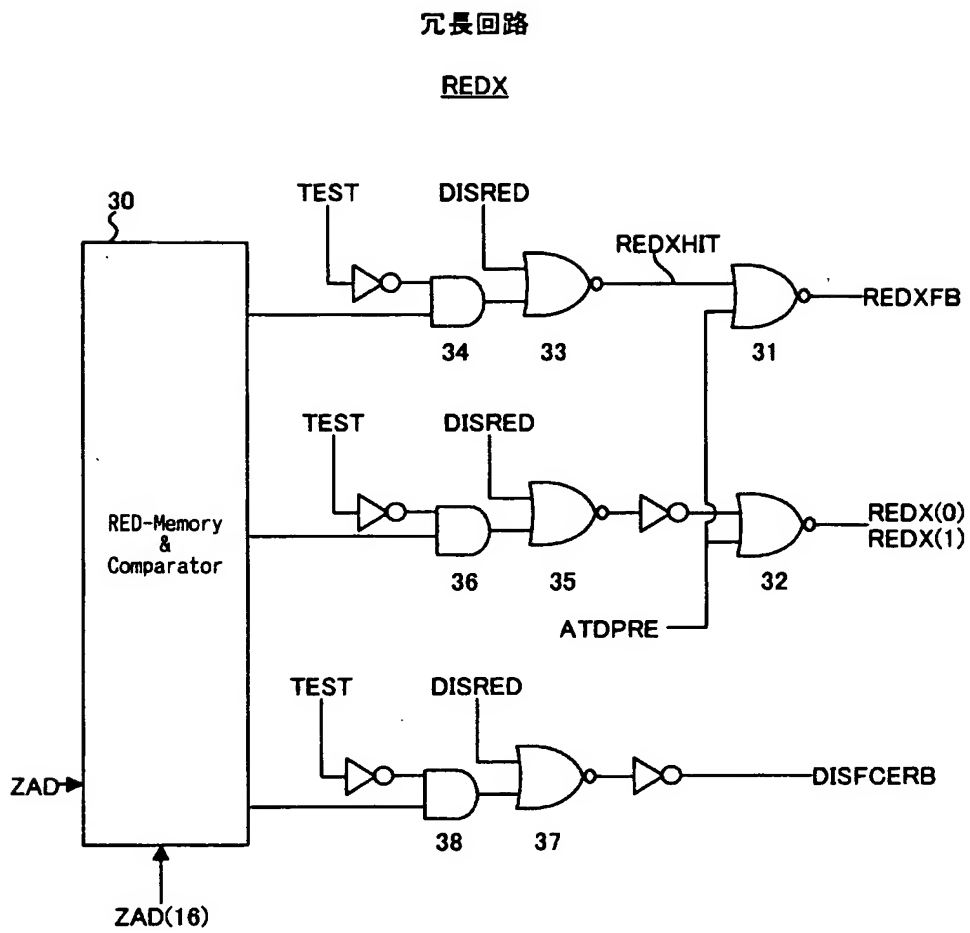
パーティカルブロック選択信号バッファ回路



【図 8】

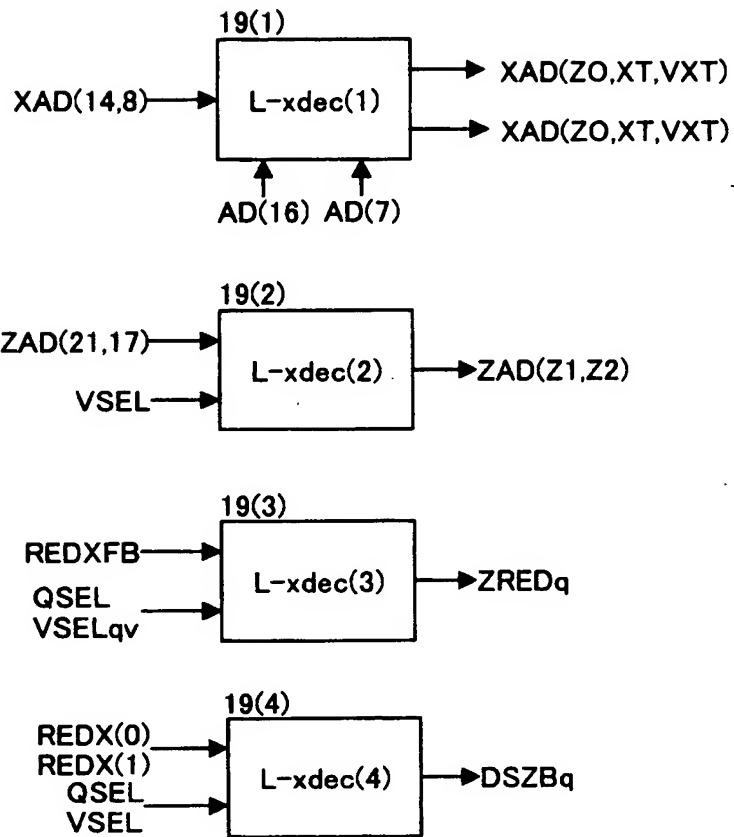


【図 9】

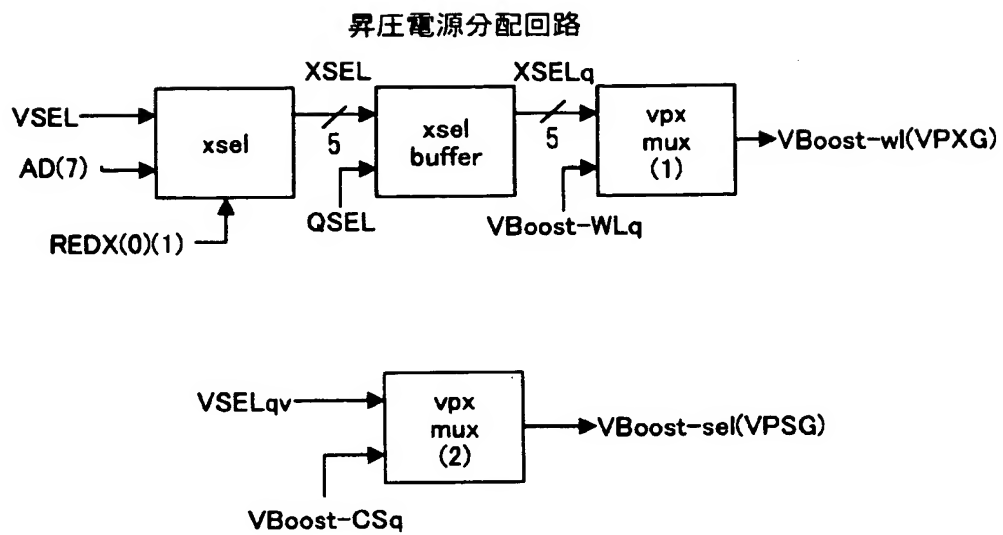


【図 1 0】

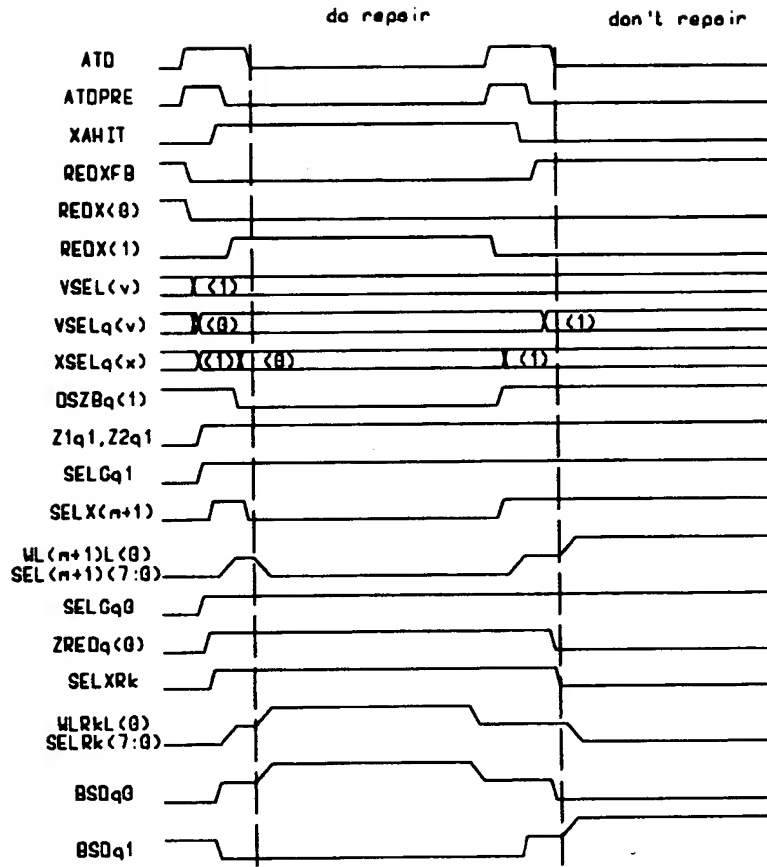
ローカルXデコーダ



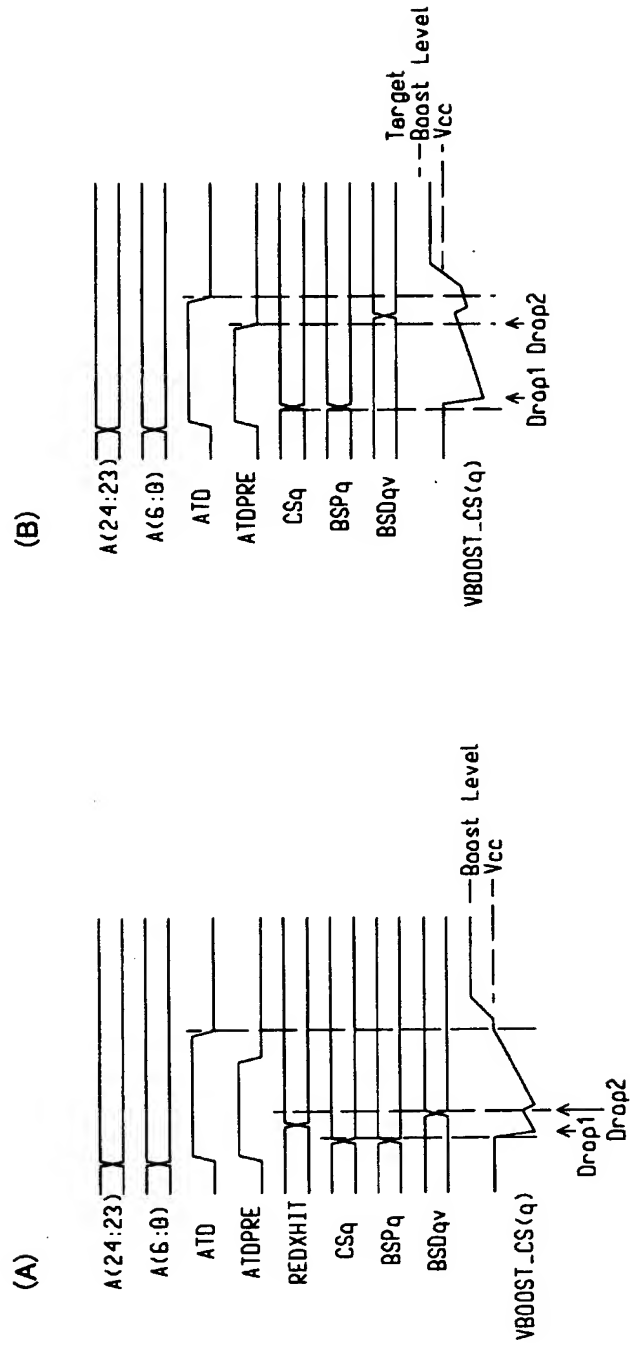
【図 1 1】



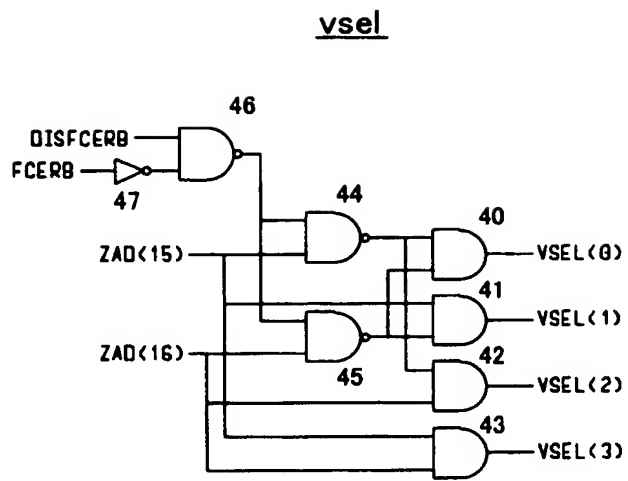
【図 12】



【図 13】



【図 1 4】



【書類名】

要約書

【要約】

【課題】冗長判定に伴うアクセス速度の低下を抑制した冗長構成付きメモリ回路を提供する

【解決手段】複数のレギュラーセクタとスペアセクタを有するブロックを複数有するメモリ回路において、各セクタは複数のメモリセルを有し、第1のブロック内のレギュラーセクタが不良を有する場合、当該不良レギュラーセクタが第2のブロック内のスペアセクタに置き換えられることを特徴とする。そして、供給されるアドレスに応答して、第1の期間、第1のブロック内の選択アドレスに対応するレギュラーセクタと共に第2のブロック内のスペアセクタが同時に選択され、第1の期間の後、供給アドレスが冗長アドレスと一致するか否かの冗長判定結果に応じて、レギュラーセクタまたはスペアセクタのいずれか一方の選択が維持される。供給アドレスが不良セクタを示す冗長アドレスと一致するか否かの冗長判定結果にかかわらず、アクセス動作が開始される第1の期間、第1のブロック内のレギュラーセクタとそれと対になる第2のブロック内のスペアセクタとを同時選択状態にするので、冗長判定動作に伴うアクセス速度の低下を抑えることができる。

【選択図】図4

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社